

XA-9945
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Tomoyuki ISHII et al.

Appln. No.: 10/684,424

Group Art Unit: 2818

Filed: October 15, 2003

For: SEMICONDUCTOR MEMORY DEVICE

* * *

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

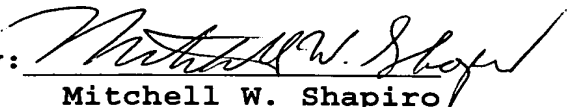
Applicants submit herewith a certified copy of
Japanese Patent Application No. 2002-315968 filed October
30, 2002, for which priority has been claimed under 35
U.S.C. § 119.

Respectfully submitted,

MWS:ah

Miles & Stockbridge P.C.
1751 Pinnacle Drive, Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

February 10, 2004

By: 
Mitchell W. Shapiro
Reg. No. 31,568

10/684,424

GAU2818

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 0 月 3 0 日

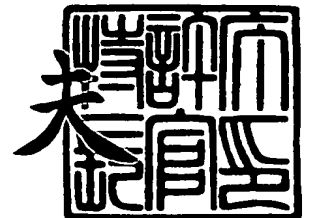
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 1 5 9 6 8
[ST. 10/C]: [J P 2 0 0 2 - 3 1 5 9 6 8]

出 願 人
Applicant(s): 株式会社ルネサステクノロジ

2 0 0 3 年 1 0 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 NT02P0780

【提出日】 平成14年10月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 石井 智之

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 古沢 和則

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 倉田 英明

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 池田 良広

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】

半導体基板の主面上に形成された絶縁膜と、
前記絶縁膜上に形成された第 1 の電極と、
前記第 1 の電極を含む領域上に絶縁膜を介して形成され、前記第 1 の電極と独立に制御可能な第 2 の電極と、
前記第 1 の電極と所定の距離を隔てて前記半導体基板の表面に形成された拡散層と、
前記第 1 の電極と前記拡散層の間の半導体表面近傍に周囲を絶縁膜で囲われた、電荷を保持する電荷蓄積領域と、

前記第 1 の電極に電圧を印加することにより、前記半導体表面に形成される反転層領域とを備え、

前記電荷蓄積領域は前記第 2 の電極で制御され、該電荷蓄積領域に蓄積された電荷量に応じて前記拡散層と前記反転層領域との間のコンダクタンスが変化することを利用して情報の記憶を行うことを特徴とする半導体記憶装置。

【請求項 2】

半導体基板内に形成された第 1 導電型のウェル領域と、
前記ウェル領域内に形成された第 2 導電型の第 1 および第 2 の拡散層と、
前記第 1 および第 2 の拡散層の間の半導体基板表面に形成された絶縁膜と、
前記絶縁膜上に形成された第 1 の電極と、
前記第 1 の電極と独立に制御可能な第 2 の電極と、

前記第 1 の電極と前記第 1 の拡散層の間の半導体表面近傍に周囲を絶縁膜で囲われた、電荷を保持する第 1 の電荷蓄積領域と、

前記第 1 の電極と前記第 2 の拡散層の間の半導体表面近傍に周囲を絶縁膜で囲われた、電荷を保持する第 2 の電荷蓄積領域と、

前記第 1 の電極に電圧を印加することにより、前記半導体表面に形成される反転層領域と、

前記反転層領域の一端に重なるようにして形成された第2導電型を有する第3の拡散層とを備え、

前記第1の電荷蓄積領域と第2の電荷蓄積領域の電位は前記第2の電極で制御され、

前記第1の電荷蓄積領域に蓄積された電荷量に応じて前記第1の拡散層と前記第3の拡散層の間のコンダクタンスが変化することを利用して情報の記憶を行い、前記第2の電荷蓄積領域に蓄積された電荷量に応じて前記第2の拡散層と前記第3の拡散層の間のコンダクタンスが変化することを利用して情報の記憶を行うことを特徴とする半導体記憶装置。

【請求項3】

前記第1の拡散層を電位Aに設定し、

前記第2の拡散層の電位を、前記電位Aよりも高い電位Bに設定し、

前記第1の電極の電位を前記電位Bよりも低い電位Cに設定することにより、

前記第1の電極と第2の拡散層の間の半導体基板表面で発生するホットエレクトロンを前記第2の電荷蓄積領域に注入することを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】

前記第2の拡散層を電位Aに設定し、

前記第1の拡散層の電位を、前記電位Aよりも高い電位Bに設定し、

前記第1の電極の電位を前記電位Bよりも低い電位Cに設定することにより、

前記第1の電極と第1の拡散層の間の半導体表面で発生するホットエレクトロンを前記第1の電荷蓄積領域に注入することを特徴とする請求項2に記載の半導体記憶装置。

【請求項5】

前記第2の電極を電位Aに設定し、

前記第1の拡散層を電位Bに設定し、

前記第2の拡散層の電位を、前記電位Bよりも高い電位Cに設定した後、電源との接続を断ってフローティング状態とし、

前記第1の電極の電位を前記電位Cよりも低い電位Dに設定することにより、前

記第 1 の電極と前記第 2 の拡散層の間の半導体基板表面で発生するホットエレクトロンを前記第 2 の電荷蓄積領域に注入することを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 6】

半導体基板上に形成され、第 1 の方向に互いに平行である第 1 および第 2 の電極と、

前記第 1 の方向と直交する第 2 の方向に形成され、前記第 1 および第 2 の電極の間の半導体基板表面の電位を制御する第 3 の電極と、

前記第 1 および第 2 の電極の間に設けられて周囲を絶縁膜で囲われた、電荷を保持する電荷蓄積領域とを備え、

前記第 1 の電極と前記第 2 の電極の間の半導体基板表面は、第 1 導電型を有する領域で構成され、前記電荷蓄積領域に蓄積された電荷量に応じて、該電荷蓄積領域近傍にある前記半導体基板表面のコンダクタンスが変化することを利用して記憶を行う半導体記憶装置。

【請求項 7】

半導体基板上に形成され、第 1 の方向に互いに平行である第 1 および第 2 の電極と、

前記第 1 の方向と直交する第 2 の方向に形成され、前記第 1 および第 2 の電極の間の半導体基板表面の電位を制御する第 3 の電極と、

前記第 1 および第 2 の電極の間に設けられて周囲を絶縁膜で囲われた、電荷を保持する電荷蓄積領域とを備え、

前記第 1 の電極に電圧を印加することによって、前記半導体表面の近傍に第 1 の反転層を形成し、

前記第 2 の電極に電圧を印加することによって、前記半導体表面の近傍に第 2 の反転層を形成し、

前記電荷蓄積領域に蓄積された電荷量に応じて、前記第 1 の反転層と前記第 2 の反転層間の前記半導体基板表面のコンダクタンスが変化することを利用して記憶を行うことを特徴とする半導体記憶装置。

【請求項 8】

前記電荷蓄積領域に注入する電荷量を変えることによって各々の電荷を保持する電荷蓄積領域に2ビット以上の情報を記憶することを特徴とする請求項1、2、6または7のいずれかに記載の半導体記憶装置。

【請求項9】

第1の方向に互いに平行に配線された少なくとも8本の第1乃至第8の電極と、
前記第1の方向と直交する第2の方向に配線された複数の電極とを有し、
前記第1乃至第4の電極は、それぞれ前記第5乃至第8の電極に接続され、
前記半導体基板上に設けられた素子への情報書込み動作において、前記第1乃至第4の電極の少なくとも一つが所定の電位に設定され、
前記所定の電位に設定された電極近傍の前記半導体基板表面が非導通であることによって電氣的に素子分離を行うことを特徴とする半導体記憶装置。

【請求項10】

半導体基板上に形成され、第1の方向に互いに平行である第1および第2の電極と、
前記第1の方向と直交する第2の方向に形成され、前記第1および第2の電極の間の半導体基板表面の電位を制御する第3の電極と、
前記第1および第2の電極の間に周囲を絶縁膜で囲われた、電荷を保持する電荷蓄積領域とを備え、
前記第1の電極を電位Aに設定することによって前記半導体表面近傍に第1の反転層を形成し、
前記第1の反転層の電位を、前記電位Aよりも低い電位Bに設定し、
前記第2の電極を電位Cに設定することによって前記半導体表面近傍に第2の反転層を形成し、
前記反転層2の電位を、前記電位Bよりも高く、前記電位Cよりも低い電位Dに設定し、
前記第3の電極の電位を前記電位Dよりも高い電位Eに設定することにより、
前記第1の電極近傍で発生するホットエレクトロンを前記電荷蓄積領域に注入することを特徴とする半導体記憶装置。

【請求項 11】

半導体基板上に形成され、第1の方向に互いに平行である第1、第2および第3の電極と、

前記第1の方向と直交する第2の方向に形成され、前記第1と第2の電極の間及び前記第2と第3の電極の間の半導体基板表面の電位を制御する第4の電極と、

前記第1および第2の電極の間に設けられて周囲を絶縁膜で囲われた、電荷を保持する第1の電荷蓄積領域と、

前記第2および第3の電極の間に設けられて周囲を絶縁膜で囲われた、電荷を保持する第2の電荷蓄積領域とを備え、

前記第1の電極を電位Aに設定することによって前記半導体表面近傍に第1の反転層を形成し、

前記第1の反転層の電位を、前記電位Aよりも低い電位Bに設定し、

前記第3の電極を電位Cに設定することによって前記半導体表面近傍に第2の反転層を形成し、

前記第1の反転層の電位を、前記電位Bよりも高く、前記電位Cよりも低い電位Dに設定し、

前記第2の電極の電位を前記電位Dよりも低い電位Eに設定し、

前記第4の電極の電位を前記電位Dよりも高い電位Fに設定することにより、前記第2と第3の電極の間の半導体基板表面で発生するホットエレクトロンを前記第2の電荷蓄積領域に注入することを特徴とする半導体記憶装置。

【請求項 12】

半導体基板上に形成され、第1の方向に互いに平行である第1および第2の電極と、

前記第1の方向と直交する第2の方向に形成され、前記第1および第2の電極の間の半導体基板表面の電位を制御する第3の電極と、

前記第1および第2の電極の間に周囲を絶縁膜で囲われた、電荷を保持する電荷蓄積領域と、

前記第1および第2の電極に電圧を印加することにより、前記半導体表面に形

成される第 1 および第 2 の反転層領域と、

前記第 1 および第 2 の反転層領域のそれぞれの一端に重なるようにして形成された第 1 および第 2 の拡散層とを備え、

記第 3 の電極の電位を電位 A に設定し、前記第 1 の電極を電位 B に設定することによって半導体表面近傍に第 1 の反転層を形成し、前記第 1 の反転層の電位を前記電位 B よりも小さい電位 C に設定した後、電源との接続を断って前記第 1 の反転層をフローティング状態とし、前記第 2 の電極電位を前記電位 A、B よりも小さい電位 D に設定すると共に、前記第 2 の拡散層に前記電位 A、B、C、D よりも小さい電位 E に設定することで、前記第 2 の電極近傍で発生するホットエレクトロンを前記電荷蓄積領域に注入することを特徴とする半導体記憶装置。

【請求項 13】

請求項 12 に記載の半導体記憶装置を有するメモリセルにおいて、書込みを行う際に、前記メモリセルのアドレス情報に基づいて、前記第 2 の電極の電位を変更することが可能な電源回路を有することを特徴とする半導体記憶装置。

【請求項 14】

半導体基板上に形成され、第 1 の方向に互いに平行である第 1、第 2 および第 3 の電極と、

前記第 1 の方向と直交する第 2 の方向に形成され、前記第 1、第 2 の電極の間及び前記第 2、第 3 の電極の半導体基板表面の電位を制御する第 4 の電極と、

前記第 1 および第 2 の電極の間に周囲を絶縁膜で囲われた、電荷を保持する第 1 の電荷蓄積領域と、

前記第 2 および第 3 の電極の間に周囲を絶縁膜で囲われた、電荷を保持する第 2 の電荷蓄積領域と、

前記第 1 および第 2 の電極に電圧を印加することにより、前記半導体表面に形成される第 1 および第 2 の反転層領域と、

前記第 1 および第 2 の反転層領域のそれぞれの一端に重なるようにして形成された第 1 および第 2 の拡散層とを備え、

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転

層を形成し、

前記第 1 の反転層の電位を、前記電位 A よりも低い電位 B に設定し、

前記第 3 の電極を電位 C に設定することによって半導体表面近傍に第 2 の反転層を形成し、

前記第 2 の反転層の電位を、前記電位 B よりも高く、前記電位 C よりも低い電位 D に設定したのち、電源との供給を断ってフローティング状態とし、

前記第 4 の電極の電位を前記電位 D よりも高い電位 E に設定し、

前記第 2 の電極の電位を前記電位 A、C、E よりも低い電位 F に設定することによって、前記第 2 と第 3 の電極の間の半導体表面で発生するホットエレクトロンを前記第 2 の電荷蓄積領域に注入することを特徴とする半導体記憶装置。

【請求項 15】

複数の不揮発性メモリセルを有する半導体記憶装置において、
前記メモリセルの副ビット線が前記反転層で構成され、前記副ビット線の容量に蓄積しておいた電荷を前記メモリセルを介して放電し、その際発生するホットエレクトロンを前記メモリセル内の浮遊ゲートに注入することにより、前記メモリセルの書込みまたは消去を行うことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶素子および半導体装置係り、特に、低コストで高信頼な半導体記憶装置に関する。

【0002】

【従来の技術】

携帯性に優れたデータ格納用として、半導体不揮発性メモリであるフラッシュメモリが広く用いられ始めている。フラッシュメモリのビット当りの価格は年々急速に下がっており、その下がり方は微細化のみから期待される下がり方よりも急峻である。これは素子構造上の工夫あるいは多値記憶の導入によるものである。ファイル用途大容量フラッシュメモリの従来技術は、例えば、非特許文献 1 および非特許文献 2 に述べられている。前者は小さいセル面積の実現に向いており

NAND型と呼ばれている、後者は、フローティングゲート内に蓄積する電子個数を制御することで多ビット記憶を行う多値記憶動作に向いておりAND型と呼ばれている。いずれもビットコスト低減に効果がある。

【0003】

また、別な多値記憶の例が、非特許文献3に示されている。これは、SiNを記憶領域に用い、ホットエレクトロンによる電荷注入を行う素子である。ホットエレクトロンがドレイン端付近で主に発生すること、またSiNトラップに電荷が捕獲されるため注入された場所付近に電荷が留まることを利用する。ソース、ドレインに印加する電圧を入れ替えることでソース端とドレイン端の両端を電荷蓄積領域として用いる。この書込み方法は大きな電流が流れるため、電源の電流供給能力の限界から多ビットを同時に書込むファイル用途には適さない。より低いドレイン電流で書込みのできるソース側注入による書込み動作が、特許文献1に開示されている。この特許では、ソース側注入のための補助電極と小さいセル面積を両立させる技術として、補助電極下に形成した反転層を配線として用いる動作が述べられている。

【0004】

【特許文献1】

特開2001-156275号公報

【非特許文献1】

「アイトリプルイー・インターナショナル・エレクトロン・デバイス・ミーティング (F. Arai et al, IEEE International Electron Devices Meeting)」、2000年、p.775-778

【非特許文献2】

小林 他、「アイトリプルイー・インターナショナル・エレクトロン・デバイス・ミーティング (T. Kobayashi et al, IEEE International Electron Devices Meeting)」、2001年、p29-32

【非特許文献3】

ビー・アイタン他、「インターナショナル・コンファレンス・オン・ソリッド・ステート・デバイス・アンド・マテリアルズ (B. Eitan et al, In

ternational Conference on Solid State Devices and Materials) 」、1999年、
p.522-524

【0 0 0 5】

【発明が解決しようとする課題】

フラッシュメモリは素子構造上の工夫あるいは多値記憶の導入で、加工寸法の縮小による微細化以上のビットコスト低減を実現してきた。またフラッシュメモリの容量増大に従って音楽ファイル、動画等サイズの大きなファイルを扱う応用が広がっている。このため、大容量でしかも書込み速度が速いフラッシュメモリの需要が今後ますます高まってくると予想される。

【0 0 0 6】

しかしながら、NAND型の素子構造は平面構造メモリセルの理論的限界である単位セル当たり面積 $4F^2$ （Fは加工寸法）に近づいており、これ以上構造上の工夫を行ってセル面積を縮小することは困難である。このため今後は多値記憶を推し進める必要がある。同時にファウラーノードハイム（以下FNと略す）トンネルによって書込みを行う方式であるため、書込みが速くない、あるいは大電圧を使う必要があるという課題がある。

【0 0 0 7】

一方、AND型はホットエレクトロン書込み技術を採用し、書込みが高速である。ソース側注入方式のホットエレクトロン書込みであるため多くのセルへの同時書込みにも適する。加えて、アレイ構成が並列接続であり、NAND型のように直列接続でないため、他のセルの記憶情報の影響を受けにくく、セル当たり多ビット記憶にも適しているが、課題もある。セル面積の観点から、拡散層が平行に走るアレイ構造をしているため、拡散層広がりあるいは素子分離領域のためにワード線に垂直方向のピッチが縮小しにくいという問題がある。これを解決する方法として神垣等の特許（特許文献1を参照）の実施例3にあるように、データ線に並行に走る電極の下に形成した反転層を配線として用いる動作方式が考えられる。これによって不純物打ち込みによる拡散層形成を省略したアレイ方式で動作が可能である。この場合、隣り合う電極（ここでは電極1と電極2と呼ぶ）の間で書込み動作が行われる。電極1下の反転層に0V、電極2下の反転層には高い電圧3.

5Vを与え、電極1に与える電位をあまり高くない1.5Vに設定することでその下に形成される反転層を高抵抗にし、電極1の端で電界を集中させてソース側注入を行うものである。この方式の課題は、位置に依存した書込みばらつきである。メモリセルの位置によってコンタクトとの距離が異なり、従って電極1下の反転層抵抗が場所依存で異なることになる。このため電圧降下によってセルに印加される電位が変化し、セル間で書込み特性が異なることになる。

【0008】

従って本発明の目的とするところは、反転層を配線に利用するメモリ方式において、セル間の書込み特性ばらつきの小さい半導体記憶装置を実現する方法を提供することである。

【0009】

また、本発明の他の目的は、多ビット記憶一般の課題である読出しディスタープの問題を解決することである。現在実用化されている多ビット記憶はフローティングゲート内に蓄積する電荷量を4種類とし、4レベルのしきい電圧（以下単に閾値と呼ぶ）の記憶状態を作ることによって2ビットの記憶を行っている。記憶された電荷量に従ってトランジスタのしきい電圧が変化し、これを読み出すわけである。この時情報保持中の特性変動、素子間の特性ばらつき等を補償して明確に情報を分離して読出すために各情報に対応するしきい電圧はある程度離れた値に設定する必要がある。例えば1V程度離す事が必要であるとすると、2ビット記憶では最大しきい電圧と最小しきい電圧の差は3Vであるが、これが3ビット記憶になると7Vの差が生ずる。このような高いしきい電圧まで電荷を注入するにはそれだけ高い書き込み電圧が必要となる。また、読出しにおいても高いコントロールゲート電圧が必要となる。これら高電圧の使用は周辺回路におけるトランジスタサイズの増大に結びつき、チップ面積が増大してコストが上昇する。また、読出しによる蓄積情報の破壊、所謂読出しディスタープについても悪化する。

【0010】

また、ソース端、ドレイン端を記憶領域として用いる多値記憶方式の場合には基本的に2ビット記憶までしかできない。

【0011】

そこで上記二つの記憶方式を組合せた多値記憶が考えられる。例えばソース端、ドレイン端に注入する電荷量を変える事で各々2ビット、計4ビット記憶する手段である。これなら一端に記憶する情報は2ビットつまり4レベルのみで4ビットの記憶を実現できる。この手段の課題は読出し動作である。上記従来の技術のような読出しでは、読み出したい情報の他端の情報は電荷蓄積領域付近のシリコン基板表面を空乏化させることで遮蔽している。従って一定大きさのドレイン電圧が必要である。このドレイン電圧は遮蔽すべきしきい電圧が高ければそれだけ高く設定しなければならないため、従来技術のように、一端で1ビットしか記憶しない場合はよいが、2ビット以上記憶する場合、読出しドレイン電圧は大きく設定せざるを得ず、読出し動作におけるホットキャリア発生による記憶情報破壊が問題になる。つまりここでも読出しデイスターブが問題になる。

【0012】

従って本発明の目的とするところは、低コスト、高集積でありながら読出しデイスターブに強い半導体記憶装置を実現する方法を提供することである。

【0013】

【課題を解決するための手段】

上記目的を達成するために、本発明は互いに並行に形成された、ソース領域、ドレイン領域に対し、ソース、ドレイン領域の間にこれと並行でかつオーバーラップのない位置に補助電極構造を有し、書込みには補助電極をソース側注入ホットエレクトロンの補助電極として用い、読出し時には補助電極下に形成した反転層をソース、あるいはドレイン領域として用いることを特徴とする。

【0014】

本発明の他の手段、目的と特徴は、以下の実施の形態から明らかになるう。

【0015】

【発明の実施の形態】

以下には、本発明の具体的な実施例による半導体素子及び半導体装置を説明する。

【0016】

<実施例1>

図1には、本実施例による記憶素子の断面構造を示す。P型シリコン基板(16)に、n型のウェル領域(15)が設けられており、さらにその中にp型のウェル領域(14)が設けられる3重ウェル構造を持ち、p型ウェル内にn型の拡散層領域(2)(3)(6)(7)領域が設けられている。シリコン基板表面の電位を制御するためのn型多結晶シリコンからなる補助電極(4)(8)(9)、n型多結晶シリコンとW(タンゲステン)の積層構造で形成された制御電極(5)があり、この制御電極(5)はワード線を兼ねている。シリコン基板表面に設けられた厚さ8nmのSiO₂からなる絶縁膜(19)を介して、シリコンの平均径18nmの複数の微小結晶粒(17)からなる電荷蓄積領域(10)(11)が設けられている。シリコン微小結晶粒(17)と制御電極(5)の間には厚さ10nmのSiO₂膜(20)が形成されている。また補助電極(4、8、9)とシリコン基板の間には厚さ6nmのSiO₂膜(18)が設けられている。メモリセルアレイはこのような構造が繰り返されている。またこの断面では、通常素子分離用に設けられる絶縁膜で埋め込まれた溝が設けられていないという特徴がある。

【0017】

補助電極(4)(8)(9)下の基板表面と電荷蓄積領域(10)(11)下の基板表面は異なる不純物濃度となっている。

【0018】

図2には上面図を示す。説明のために必要な部分を除き金属配線は省いてある。点線で囲った部分(21)が単位セルに対応する。また図中のA-B断面が図1に対応する。図面Y方向にワード線が64本繰り返された構造を基本単位(以下これをメモリマットと呼ぶ)としており、その両端で補助電極(4)(8)(9)が一本おきに結束(24)(30)され、隣接補助電極に独立な電圧を与えることが可能である。この端部では素子分離用の絶縁膜で埋め込まれた溝が存在し、アクティブ領域が互いに絶縁されている。拡散層(2)(3)はこのアクティブ領域(32、27)に接続され、さらにこの拡散層(2)(3)と配線へのコンタクト構造(26、31)との間に存在するゲート電極(28)(25)によって選択用のMOSトランジスタが形成されている。この選択MOSを介して拡散層配線からなるローカルなビット線(2)(3)(6)(7)はグローバルなデータ線(34)(35)(33)(36)に接続されている。一本のグローバルデータには複数のローカルデータ線が接続され、階層化されたデータ線構造を

採っている。これは充放電すべき容量を低減させ、高速動作、低消費電力化に効果がある。同時に、選択されたメモリマットに書き込む時以外には高いデータ線電圧をメモリセルに印加することを避けることが出来、非選択セルへのディスタープを軽減させることが可能である。さらに、後で述べるような読出し動作において、比較的高抵抗の反転層ソース線の長さを短くすることが可能であり、読出し動作の高速化にも効果がある。また、補助電極（4）とn型不純物が導入されたアクティブ領域(22)が重なった構造が存在するという特徴がある。ただし補助電極（4）とアクティブ領域(22)は基板表面に形成された絶縁膜によって絶縁されている。このアクティブ領域はコンタクト構造を介して金属配線(23)に接続されている。この構造により、補助電極（4）に正の電圧を与え、ゲート下の基板表面に反転層(1)を形成した場合、金属配線(23)から、アクティブ領域(22)を介して反転層(1)に電位を与えることが可能である。また両隣の補助電極についても同様に、n型不純物が導入された領域とのオーバーラップ領域、この領域に電位を供給するコンタクト構造と配線(29)が設けられている。

次に本実施例の動作を説明する。補助電極（4）の両側に微小結晶粒(17)により設けられた電荷蓄積領域（10）（11）に各々4レベルの閾値を用いて2ビットの記憶を行い、単位セル当たり4ビットの記憶を行う。

まず書込み動作を説明する。補助電極（4）の右の電荷蓄積領域（11）に情報を書込むこととする。閾値レベルと情報の対応を表1に示すようにとる。

【0019】

【表 1】

表 1

	書込みワード電圧	閾値 V_{th} の範囲
“01”	V_{ww3}	$V_{th} > V_3$
“00”	V_{ww2}	$V_{2L} < V_{th} < V_{2H}$
“10”	V_{ww1}	$V_{1L} < V_{th} < V_{1H}$
“11”	V_{ww0}	$V_{0L} < V_{th} < V_{0H}$

【0020】

ここで $V_3 > V_{2H} > V_{2L} > V_{1H} > V_{1L} > V_{0H} > V_{0L}$ である。この“0”や“1”の2ビット情報と閾値レベルは別の対応のさせ方をしても構わない。書き込む閾値レベルの順序はどのような順序でも構わないが、本実施例では高いレベルから順に書き込むこととする。対象とするメモリセルに書込みたい情報が“01”である場合、拡散層1(3)を所定の電圧 V_{dw} (例えば4V)に設定する。他端の拡散層2(2)はより低い電圧 V_{sw} (例えば0V)に設定する。より詳しくはこれら拡散層が接続されたグローバルデータ線(34)(35)を各々の電圧に設定し、ローカルデータ線選択用のトランジスタの選択線(25)(28)に書込みたい情報が“01”でない場合には、両端ともに V_{sw} (例えば0V)に設定する。補助電極(4)を比較的低い電位 V_{wa} (例えば1V)に設定し、電極下の基板表面を高抵抗の導通状態にする。この選択補助電極(4)の両隣の補助電極(8)(9)の電位は、さらに低い電位 V_{wan} (例えば-0.5V)に設定し、電極下の基板表面(12)(13)に反転層を形成しないことで補助

電極 (8) (9) の両端の拡散層間 ((6) と (2) 及び (3) と (7)) を非導通とし、電気的な絶縁を行う。制御電極 (5) に高電圧 V_{ww3} (例えば 15V) の書込みパルスを印加すると、補助電極 (4) 下の基板表面以外は低抵抗状態となるため、拡散層間に電位差がある場合には補助電極 (4) の右端部下に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極 (5) 電位が高いことから制御電極 (5) 方向に引き寄せられ、トンネル絶縁膜 (19) のポテンシャル障壁を跳び越えて電荷蓄積領域 (11) に注入される。この時、補助電極 (4) 下の基板表面が高抵抗であるため、拡散層 (2, 3) 間に流れる電流はあまり大きくなく、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。また、書込みたい情報が “0 1” でない場合には拡散層 (2, 3) 間に電位差が生じないためホットエレクトロンは発生せず、従って電荷注入はおこらない。また非選択のワード線 (52) は十分低い電圧 (例えば 0V) に固定することで、非選択ワード線で駆動されるメモリセルのチャネルを非導通にしておけば情報の書込みは行われなない。この後読出し動作を行い、閾値 V_{th} が V_3 よりも高くなっているかを検証する。読出し動作の詳細は後で述べる。書込みたい情報が “0 1” でかつ閾値 V_{th} が V_3 よりも高くない場合再度拡散層 1 (3) を所定の電圧 V_{dw} (例えば 4V) に設定し、書込みパルスを印加する。この後再び読出し検証動作を行い、必要なら書込みパルスを印加するというシーケンスを繰り返す。本アレイ構成では隣接セルは電気的な素子分離に用いるため、同じワード線 (5) で駆動される複数のセルのうち、1 個おきのセルの補助電極について同じ側に対して書込み動作を行うわけであるが、これら書込み対象セルが全て検証を通過した時点で “0 1” 書込みシーケンスは終了である。次に “0 0” 書込みシーケンスに移る。この場合も書込み対象セルに書込みたい情報が “0 0” なら拡散層 1 (3) を所定の電圧 V_{dw} (例えば 4V) に設定し、そうでなければ他端と同じ電圧 V_{sw} (例えば 0V) に設定する。補助電極 (4) の設定電位 V_{wa} (例えば 1V) は同じである。この後ワード線 (5) に書込みパルスを印加するわけであるが、この電圧 V_{ww2} には V_{ww3} より低い電圧、例えば 12V を用いる。これに “0 1” 書込み時と同じパルス幅を用いても注入される電荷量が少なく、より低い閾値レベルの書込みができる。検証も同様に行うが、違いは閾値を V_{2L} より高く、 V_{2H} より低い値に

設定する必要がある点である。ここでは最初の手込みパルスで電荷を注入しすぎないように設定し、二回目以降の手込み幅を小さくして過剰な電荷注入を防ぐ。手込み対象セルが全て検証を通過した時点で“00”手込みシーケンスは終了、“10”手込みシーケンスに移る。“10”手込みでは手込み電圧 V_{ww1} に V_{ww2} よりも低い電圧、例えば10Vを用いる点、目標の閾値範囲が異なる他は“00”手込みと同様な動作である。この後“01”手込みシーケンスを行ってこのセルの手込み動作は終了である。同じセルの補助電極について左側(10)に手込みを行う場合には拡散層1(3)と拡散層2(2)の役割を入れ換えればよい。手込み動作における等価回路図を図3に示す。ここで複数のシリコン微小結晶粒(17)よりなる電荷蓄積領域(10)(11)を回路図上では単一の白丸で表現している。ここでは各情報の手込みにおいて、シーケンスを通じてワード線(5)に印加する手込みパルスの電圧を一定の値としたが、回数が増える程高い電圧を加えるようなパルス列を用いることで、手込みシーケンスを短時間で終わらせることが可能である。

【0021】

またここで述べた手込み動作において、非選択補助電極(8)(9)下の基板表面(12)(13)は電気的な素子分離に用いるため、しきい電圧が低いと負の大きな電圧を使用しないとカットオフが出来ないことになる。一方電荷蓄積領域(10)(11)下の基板表面では電圧降下が少ないことが望ましく、従ってある程度しきい電圧が低いことが望ましい。このため補助電極下基板表面(12)(13)のp型不純物濃度は、電荷蓄積領域(10)(11)下の基板表面のp型不純物濃度よりも高く設定した。

次に読み出し動作を説明する。上記手込み動作説明で情報を書込んだ補助電極(4)の右の電荷蓄積領域(11)の情報を読み出すこととする。反転層給電用の金属配線(23)に所定の電位 V_s (例えば0V)を与え、補助電極(4)の電位を V_s よりも大きい電位 V_a (例えば3V)に設定する。補助電極(4)下には反転層(1)が形成され、この反転層(1)の電位はほぼ V_s となる。この選択補助電極(4)の両隣の補助電極(8)(9)の電位は、電極下の基板表面(12、13)に反転層が形成されない低い電位 V_{an} (例えば0V)に設定する。これによって補助電極(8、9)の両端の拡散層間((6)と(2)及び(3)と(7))を非導通とし、電気的な絶縁を行う。4レベルを読み出すためにまず閾値レベル“00”のレベル以上すなわち V_{2L} 以上

なのか、“10”のレベル以下すなわち V_{1H} 以下なのかの判定を行う。グローバルデータ線(35)を通じ拡散層1(3)の電位を V_s より高い電位 V_{dr} (例えば1V)にプリチャージする。他端の拡散層2(2)はより低い電位 V_{drn} (例えば0V)に設定する。この後制御電極(5)に $V_{1H} < V_{rw1} < V_{2L}$ なる電圧 V_{rw1} を印加する。メモリセルの閾値レベルが V_{1H} 以下ならば反転層(1)と拡散層1(3)との間が導通状態となり、グローバルデータ線(35)から反転層給電用の金属配線(23)に電流が流れる。 V_{2L} 以上ならば非導通あるいは高抵抗状態である。この結果が V_{1H} 以下ならば、プリチャージ後、制御電極(5)に $V_{0H} < V_{rw0} < V_{1L}$ なる電圧 V_{rw0} を印加し、流れる電流の違いを利用して“11”か“10”かの判定を行う。最初の読出し結果が V_{2L} 以上であった場合にはプリチャージ後に制御電極(5)に加える電圧は $V_{2H} < V_{rw2} < V_3$ なる電圧 V_{rw2} とする。流れる電流の違いを利用して“00”か“01”かの判定を行う。以上の読出し動作において、 V_{rw1} を用いた結果によって次に印加する電圧条件を変えるのではなく、 V_{rw0} 、 V_{rw1} 、 V_{rw2} による読出し動作を全て行って情報読出しを行う方法を用いることも可能である。前者は読出し電圧印加が2回で高速化に向いているのに対し、後者は3回の読出し動作が必要であるものの制御回路が簡単化できるという特徴がある。補助電極(4)の左の電荷蓄積領域(10)の情報を読み出す場合には拡散層1(3)と、これに対応するグローバルデータ線(35)の代わりに拡散層2(2)と、これに対応するグローバルデータ線(34)を用いればよい。本動作方式では読出し時にグローバルデータ線を一本おきに駆動することになる。駆動するグローバルデータ線の両隣のグローバルデータ線の電位を固定しておくことにより、駆動するグローバルデータ線間が電氣的にシールドされ、安定した読出し動作が実現できる。読出し動作における等価回路図を図4に示す。補助電極(4)下に反転層(1)が形成されることにより、紙面Y方向に電氣的に接続される反転層による配線が形成されることを等価的に示しているため、図3とは異なる接続関係となっている。ここで反転層による配線は破線で示し、補助電極配線や高濃度不純物による拡散層配線は実線で示した。グローバルデータ線は一点鎖線で示している。また、図の煩雑さを避けるためこの反転層を形成するための補助電極(4)は等価回路図から省略した。両隣の補助電極(8)(9)については、書込み動作と同様に素子分離の役割を果たし

ているため、図3と同様の回路図で表している。図4は注目しているメモリセル(21)の読出し動作時の等価回路である。隣接セルの読出し動作時には補助電極(4)を低い電位 V_{an} (例えば0V)に設定し、両側の拡散層(2)(3)の間を非導通として、両隣の補助電極(8)(9)を大きい電位 V_a (例えば3V)に設定する。この結果これら補助電極下に反転層を形成する動作を行うため、図5のように、図4とは異なる等価回路となることに注意が必要である。以上に述べたような読出し動作により、補助電極(4)の両側の情報が独立のセルであるかのように読出しが可能である。読出しのドレイン電圧についても1V程度の小さい電圧に設定することが可能で、課題で述べた読出しディスタープの問題を解決している。

情報の消去は、同一ワード線で駆動される複数のセルに対して一括で行う。ワード線に V_{ww3} よりも大きい正電圧 V_{ew} (例えば20V)を印加する。電子が注入された電荷蓄積領域の電位は下がっており、トンネル絶縁膜(19)よりも層間絶縁膜(20)の電界の方が強くなる。この結果、電子は制御電極(5)の方へ引き抜かれ、メモリセルの閾値が下がる。尚、消去方法に異なる方法を用いてもよい。例えばワード線に印加する電圧を負電圧(例えば-18V)とし、基板側に電子を引き抜いてもよい。またウエル(14)に負電圧(例えば-3V)、拡散層(2)(3)(6)(7)に正電圧(例えば3V)を印加し、さらにワード線に負電圧(例えば-13V)を印加することでホールを注入し、消去を行ってもよい。このホール注入消去では負電圧に設定する拡散層を選択することでその両側のみ消去することが可能である。例えば補助電極(3)を負電圧に設定する電極として選択すれば両側の電荷蓄積領域(11)(77)を消去することができる。このため書換え単位を小さく設定することが可能である。

次に本実施例の製造工程を図6から図8を用いて説明する。図6はメモリセル断面、図7、図8は周辺回路のp型、n型トランジスタの断面図である。P型のシリコン基板(16)を用いる。素子分離領域(39)形成後深いn型のウエル(15)を形成し、さらにp型ウエル(14)を形成する。図2によりわかるように、メモリセルのアレイ部分では素子分離は補助電極によって電氣的に素子分離を行うために素子分離領域は存在しない。マット端部の各領域のコンタクトへのとり出し部分、周辺回路部分にのみ存在する。高耐圧の周辺回路のしきい電圧調整用のイオン打ち込

みを行った後、メモリセル形成領域にしきい電圧調整のためのB（ボロン）イオン打ち込みを行う。高耐圧のトランジスタ用に厚さ20nmのゲート絶縁膜形成を行った後、レジストをマスクにメモリセル領域及び通常耐圧の周辺回路領域の基板表面のゲート絶縁膜を除去する。改めて基板表面を酸化し、厚さ6nmのSiO₂膜(18)を形成する。さらに、補助電極(4)(8)(9)、及び周辺回路のゲート電極形成用にノンドープの多結晶シリコン膜(38)をCVD（Chemical Vapor Deposition）によって形成し、レジストをマスクにPイオン打ち込み、BF₂イオン打ち込みを各々行ってn型ゲート領域とp型ゲート領域を作り分ける。さらに多結晶シリコン膜上にCVD-SiO₂膜を堆積し、レジストをマスクに補助電極(4)(8)(9)パターンを形成する（図6(a)）。ただしこの時周辺回路領域のゲート電極パターンは形成せず、多結晶シリコン膜とCVD-SiO₂膜で覆われたままとしておく（図7(a)）。この後CVD-SiO₂を10nm堆積し、この膜をインプラスルー膜として、電荷蓄積領域(10)(11)下の基板表面の不純物濃度調整用のイオン打ち込みを行う。

【0022】

この後CVD-SiO₂を10nm堆積し、さらに多結晶シリコンを100nm堆積、エッチバックすることで補助電極側面に多結晶シリコンの側壁(43)を形成する。この側壁をマスクにAs（ヒ素）イオンを打ち込むことでn型の拡散層領域(2)(3)(6)(7)を形成する（図6(b)）。ドライエッチによる多結晶シリコンの側壁除去後、HFによるウエットエッチを行って基板表面を露出する。続いて厚さ8nmの酸化を行い、さらにシリコン微小結晶粒を形成する。試作においては平均径16nm、 3×10^{11} 個cm⁻²の密度で形成した。この後プラズマ酸化を用いてシリコン微小結晶表面を4.5nm酸化し、再度シリコン微小結晶粒を堆積する。これによって高密度の微小結晶を互いに接触することなく形成することが出来、同じ書込み条件でより多くの電子を蓄積することが可能である。この結果各蓄積情報間のマージンが広がり、特性が安定する。本実施例では二度付けを用いたが、プラズマ酸化、微小結晶堆積をさらに繰り返してもよい。プラズマ酸化は熱酸化と異なり、ラジカルの侵入長以上酸化が進まないため、プラズマ酸化工程の繰り返しにより最初に形成した結晶粒が非常に小さくなってしまうような問題や、トンネル絶縁膜厚が増大する心配はない。この後層間絶縁膜としてCVD-SiO₂を12nm堆積する。さらにn型に

ドーピングされた多結晶シリコン膜とW（タンゲステン）の二層構造を堆積し、レジストをマスクにエッチングを行うことでワード線(5)を形成する（図6(c)、図7(b)）。ここで周辺回路領域の多結晶シリコン膜(38)、CVD-SiO₂膜(37)積層構造上にあるドット(17)及びその上の層間絶縁膜(20)をレジストをマスクにしてエッチングする。この後レジストをマスクにして周辺回路のトランジスタのゲート電極(41)(42)を形成する（図7(c)）。このゲートパターンとレジストをマスクにイオン打ち込みを行い、pMOSに浅いp型領域(47)を、nMOSに浅いn型領域(46)を設ける。さらにCVD-SiO₂を堆積し、エッチバックを行って側壁(40)を形成する。この側壁構造(40)とレジストをマスクにしてイオン打ち込みを行うことでpMOSにp型拡散層領域(45)を、nMOSにn型拡散層領域(44)を設ける（図8）。さらに層間膜堆積、平坦化を行った後、コンタクト工程、配線工程を行う。

本実施例ではウエル(14)をp型とし、キャリアを電子としたが、n型ウエルを用い、ホールをキャリアとして用いてもよい。この際電圧の大小関係が逆となる。これは他の実施例でも同様である。

本実施例の電荷蓄積領域は、従来のフラッシュメモリと異なり多数個のシリコン微小結晶よりなる。フラッシュメモリのメモリセルのように一箇所の電荷蓄積領域を多結晶シリコンより形成（本実施例では二箇所(10)(11)に多結晶シリコン記憶ノードを設けることになる）してもよく、後の実施例で述べる。またここではシリコンの微小結晶を用いたが、他の半導体または金属の微小粒を用いてもよい。さらに電荷トラップを持つ絶縁体からなる微小粒を用いてもよい。本実施例のような微小粒を用いると、記憶ノードが互いに絶縁されているため、従来のフラッシュメモリの記憶ノードのように加工によって切り離す必要がなく、加工が容易でプロセスマージンが増大するという特徴を持つ。またこのような加工容易性はSiNのようなトラップを有する絶縁膜を用いても得られるためこれを用いてもよい。SiNはSiO₂膜に対し選択比を持つエッチングをすることが可能で、微小粒電荷蓄積領域よりもより加工性に優れているという特徴を持つ。一方で微小粒電荷蓄積領域を周囲をSiO₂のようなトラップを持たない他の絶縁材料で囲むことが可能であるため、一般に微小粒間での電荷移動が起こりにくい材料選択が可能であり、保持特性に優れる。このため閾値マージンの小さい多値記憶に適している

。従って本実施例のような注入電荷量によって複数の情報を記憶し、特性変動を小さく抑えたい用途に好適である。また、本実施例では電荷蓄積領域(10)(11)と制御電極(5)の層間膜(5)にSiO₂膜を用いたが、窒素添加のSiO₂膜を用いてもよい。単純なSiO₂膜よりも書換え時にトラップが生成されにくく、特性変動が少ないという特徴がある。またSiO₂とシリコンナイトライド膜の積層構造としてもよい。このような積層膜は高電界印加時に比較的電流が流れにくく、やはりメモリ素子の信頼性に優れるという特徴を持つ。この場合消去動作は制御電極方向への引き抜きではなく、基板への引き抜きを行う方が消去速度が速い。上記電荷蓄積領域の構成や層間膜構成に関して述べたことは全て他の実施例でも同様である。

【0 0 2 3】

<実施例 2>

図 9 は、本発明の第 2 の実施例を示す。セル構造的としては、メモリセル内存在した拡散層領域(2)(3)(6)(7)がなくなった点でのみ実施例 1 と異なる。実施例 1 と構造、役割ともに等しい部分には同じ番号を用いており、動作説明上必要な補助電極(48)(49)と反転層(50)(51)には図 1 と異なる番号を用いた。

【0 0 2 4】

本実施例の動作を図 9、図 1 0、図 1 1 を用いて説明する。図 1 0 はメモリマップの上面図であり、破線四角で囲んだ領域(59)の断面が図 9 に対応する。実施例 1 と同様に説明のためにグローバルビット線等の配線を省略している。また図 1 0 に対応する等価回路図が図 1 1 である。電圧印加によって形成された反転層を配線に用いる点は実施例 1 と同様で、反転層を形成させる補助電極(48)(49)を省略して等価回路を示している。

【0 0 2 5】

まず書込み動作について説明する。書き込みたいセル(60)の両端の補助電極(48)(49)に正の電圧を印加し、その下の基板表面に反転層(50)(51)を形成させる。その隣接外側の補助電極は反転層を形成させない程度の低電圧（例えば 0V）に設定し、電氣的に素子分離を行う。反転層形成時には n 型の拡散層領域(61)(62)と反転層が導通し、拡散層領域に設けたコンタクト構造(57)(58)を通じ、グローバルデータ線(34)(35)から電圧を与えることができる。隣接補助電極間には二箇所

(10)(11)に4ビットの情報を記憶する。一端の補助電極(48)近傍の記憶ノードに情報を書込むためには、この電極(48)を抵抗の高い反転層を形成できる程度の電圧(例えば2V)に設定する。この電極下の反転層(50)に電圧を供給するデータ線(34)は0Vに設定する。また、他端の補助電極(49)下の反転層に電圧を供給するデータ線(35)は4Vに設定する。対応する補助電極(49)はこの設定電圧(ここでは4V)よりも十分高い電圧(例えば7V)に設定し、低抵抗の反転層が形成されるようにする。ここで制御電極(5)に高電圧のパルス、例えば15V、 $3\mu\text{s}$ のパルスを印加すると、一端の補助電極(48)下の反転層(50)と制御電極(5)下の反転層の境界で電界集中が起こり、ホットエレクトロンが発生する。発生したホットエレクトロンは制御電極(5)による基板垂直方向の電界に引かれ、近傍の記憶ノード(10)に飛び込む。ここで一端の補助電極(48)下の反転層(50)の抵抗が高いことから、反転層配線間((50)と(51))を流れる電流はあまり小さくなく、流す電流に対する記憶ノードへの注入電子量の割合を大きく取れる。従って多くのセルを同時に書込む動作でも電流が大きくなりすぎることがなく、一度に大きなビット数の入出力を行うファイル応用に好適である。書込みたい閾値レベルによって制御電極のパルスを複数用いる点、検証しながら書込みを行う点は実施例1と同様である。また選択ワード線、選択補助電極ペアで駆動され、書込み終了またはその閾値レベルを書込むセルでないことから電子注入を行いたくない場合、拡散層(51)に供給する電圧を他端拡散層(50)と同じ電圧とすればホットエレクトロン発生が抑えられる。セル他端(11)に情報を書込みたい場合、これら補助電極(48)(49)、データ線(34)(35)、反転層配線(50)(51)の設定を入れ換えればよい。本構成の場合書込み、読出し動作時には対象となるセルを構成する補助電極ペア(48)(49)の両隣の補助電極(8)(9)を素子分離に用いるため、さらにその隣の補助電極(63)をアクティブにすることが可能である。すなわち補助電極3本を一組に動作させることが可能であるが、使用上及び制御上4本を一組に動作させる方が都合がよいため、ここでは4本を一組に制御を行う。従って実施例1とは異なり、補助電極(48)(49)(8)(9)(63)(64)は4本毎に結束(53)(54)(55)(56)される構造を持つ。本実施例も実施例1と同様に階層化データ線構造を採っている。実施例1と同様の効果に加え、書込み動作時の新たな効果もある。階層化によって補助電極下に形成

される反転層の長さが短くてすむため、位置依存による電圧効果のばらつきが比較的小さくてすむ。また、電圧効果自体も小さくなるため、書込み時に反転層に印加する電圧も小さくて済む。

【0026】

次に読出し動作を説明する。実施例1と異なり、書込みと読出しで等価回路図が異なるということはない。反転層配線(50)(51)間に印加する電位差が実施例1よりも大きいという特徴がある。左側記憶ノード(10)の情報を読み出すためには左側反転層配線(50)を低い電位 V_{sr} (例えば0V) に設定し、右側反転層配線(51)電位をより高い電位 V_{dr} (例えば3.5V) に設定する。制御電極(5)に読出しパルス $V_{wr0} \sim V_{wr2}$ ($V_{wr0} < V_{wr1} < V_{wr2}$) を印加し、左側反転層配線(50)と右側反転層配線(51)間にチャンネルを形成するが、この際を $V_{wr2} - V_{0L} - V_{rd} < 0$ を満足するように V_{wr2} を設定し、どの読出しパルス電圧においても右側記憶ノード(11)下の基板表面ではピンチオフしているようにする。この結果、左側反転層配線(50)と右側反転層配線(51)の間に流れる電流は右側記憶ノード(11)の保持情報の影響をほとんど受けず、左側記憶ノード(10)の情報のみ読み出すことが可能である。右側記憶ノード(11)に記憶された情報の読出しにおいては左側反転層配線(50)と右側反転層配線(51)の設定電位を入れ換えればよい。

【0027】

消去動作は実施例1と同様にワード線単位で行う。ワード線に正または負の電圧を印加することでファウラーノードハイムトンネリング電流によって注入電子を制御電極側あるいは基板側に引き抜く。

本実施例では左側記憶ノード(10)に4閾値レベルの2ビット、右側記憶ノード(11)に4閾値レベルの2ビットを記憶したが各々1ビットの記憶を行ってもよいのは言うまでもない。また、隣接補助電極間(48)(49)の二箇所(10)(11)に情報記憶を行わず、どちらかの一箇所にしてもよい。本実施例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、補助電極配線間のピッチを小さく作製することが可能である。このためメモリセル面積が小さく、低コストのメモリを実現することが可能である。

【0028】

<実施例 3>

図 1 2 から 1 4 には本発明の第 3 の実施例を示す。図 1 2 が断面構造図、図 1 3 が上面図、図 1 4 が書込み時の等価回路図である。本実施例はアレイ部分の断面図、上面図ともに実施例 2 と同様であるが、動作のさせ方が異なり、従って動作時の等価回路が異なる。また説明に必要な部分の番号をつけかえている。本実施例は実施例 2 よりさらに書込みばらつきを小さくすることが可能である。

【0029】

本実施例は、実施例 2 と書込み動作において大きく異なる。実施例 2 では隣接補助電極 (48) (49) の間で書込み動作を行いその隣の補助電極 (8) (9) で素子分離を行ったが、本実施例では隣接 3 本 (67) (68) (69) で書込み動作を行う点に特徴がある。3 本組両端の補助電極線 (70) (71) に正の電圧 (例えば (68) に 3.5V、(69) に 7V) を印加し、補助電極下に反転層 (70) (71) を形成する。この反転層 (70) (71) は、メモリマツト端部の拡散層 (61) (62) より給電されている。実施例 2 と異なり、片方の反転層 (70) を高抵抗に設定する必要はない。一端の反転層 (70)、他端の反転層 (71) を実施例 1 の一端の拡散層 (2) 及び他端の拡散層 (3) と同様に考え、中央の補助電極 (67) を実施例 1 の補助電極 (4) と同様に考えれば、書込み動作は実施例 1 と同様に行え、中央補助電極 (67) 右の記憶領域 (11) に情報記憶が行える。中央補助電極 (67) 左の記憶領域 (10) に書込みを行う際には、両端の補助電極 (68) (69)、両端の反転層 (70) (71) の電圧設定を入換えればよい。さらに、上記動作で両端の補助電極として用いた補助電極 (68) (69) を中央補助電極とする書込み動作も可能である。(68) を中央電極とし、この右の領域 (65) に書込みを行うことができるし、(69) を中央電極としてこの左の領域 (66) に書込みを行うことができる。この結果、実施例 2 と同様に隣接補助電極間 (例えば (67) と (68)、(67) と (69)) に二箇所記憶を行うことが可能である。実施例 2 では書込み動作において低電位の反転層 (例えば (50)) を高抵抗に設定し、この端部に電界を集中させるため、セルの拡散層 (61) からの距離によって抵抗値が変わるという課題がある。本実施例では中央電極によって高抵抗領域を作るため、このようなパターン依存性が少ないという特徴がある。

読出し、消去動作は実施例 2 と同様に行うことができ、等価回路図も図 1 1 と

同様になる。

【0030】

本実施例にて電荷蓄積領域をn型多結晶シリコンの連続膜構造(105)(106)で構成した構造を図25に示す。隣接3本(67)(68)(69)で書込み動作を行う点は同様である。この構造では隣接補助電極間に記憶個所を二箇所設けることは不可能であるが、電荷蓄積領域(105)(106)の構造の自由度が大きいため、制御電極(5)と電荷蓄積領域(105)(106)の静電容量を大きく設計することが容易である。この結果制御電極(5)への電圧印加による電荷蓄積領域(105)(106)の電位変化を大きくとることが可能であり、書込み消去動作の高速化、あるいは低電圧化に効果がある。また読出し電流も大きくとれるために読み出し高速化にも効果がある。さらに、層間膜(20)にかかる電界が弱くなるため、層間膜に電流が流れにくく、従って層間膜劣化が非常に少ない。

【0031】

<実施例4>

図15には本発明の第4の実施例を示す。実施例1の図1に対応する断面構造図である。実施例1と記憶ノードの構造、消去方法のみ異なり、他の構造の役割、動作は実施例1と同様である。本実施例では記憶ノードを実施例1のような複数の微小粒(10)(11)ではなく、補助電極(4)(8)(9)の側壁として加工した多結晶シリコンで形成する。補助電極(4)(8)(9)の多結晶シリコン膜厚、及びこの電極の加工用キャップとして形成する絶縁膜の膜厚によってこの側壁(72)(73)の高さを設計できる。側壁高さを十分高く設定することで記憶ノード(72)(73)と制御電極(5)の対向面積を記憶ノード(72)(73)とシリコン基板の対向面積よりも大きくできる。この結果制御電極(5)に電圧を印加すると、トンネル膜(19)にかかる電界の方が層間膜(20)にかかる電界よりも強くなる。この結果比較的小さい制御電極電圧でトンネル膜(19)に強い電界が出来、書込み電圧の低電圧化、あるいは高速化に効果がある。また、消去動作はワード線(5)負電圧(例えば-16V)を印加し、基板側に電子を引き抜くことによって行う。やはり比較的小さい絶対値の負電圧でトンネル膜(19)に強い電界を作ることができるため、消去電圧の低電圧化、あるいは高速化に効果がある。

【0 0 3 2】

作製上の違いについて述べる。実施例 1 では側壁(43)を一回形成し、この側壁をマスクに拡散層(2)(3)(6)(7)の不純物打ち込みを行った後、側壁を除去した。本実施例では記憶ノードとして形成する多結晶シリコンの側壁(72)(73)を拡散層(2)(3)(6)(7)の不純物打ち込みのマスクとして用いる。この後直ちに層間膜(20)形成を行えばよいため、工程が簡単であるという特徴も持つ。一方、異なるワード線で駆動されるセルで記憶ノードがつながってはならないため、図 1 5 の紙面奥行き方向で切り離し工程が必要である。これは実施例 1 では記憶ノードが離散的な構造であるため不要であった。切り離し工程はワード線形成時に一括して行うことでワード線に対してセルフアラインで行うことが可能である。

【0 0 3 3】

<実施例 5>

図 1 6 には本発明の第 5 の実施例を示す。実施例 2 の図 9 に対応する断面構造図である。本実施例では記憶ノードを実施例 2 のような複数の微小粒粒(10)(11)ではなく、補助電極(4)(8)(9)の側壁(75)間を覆う形で形成した多結晶シリコンで形成する。実施例 2 では隣接補助電極（例えば(48)と(49)）の間の二箇所記憶を行ったが、本実施例では連続した一つの記憶ノードのみ形成する。記憶ノードに注入する電荷量を変えることで多レベルの閾値を形成し、多値記憶を行う。書込み、読出しの電圧に関しては実施例 2 と同様でよいが、二箇所記憶を行わないため、隣接補助電極（例えば(48)と(49)）の役割を入換えて動作を行う必要はない。また、書込み動作においては実施例 3 と同様の書込み動作を行ってもよい。ただし、この場合も隣接補助電極間の記憶ノードは一箇所であり、二箇所に記憶を行う書込み、読出し動作を行う必要はない。実施例 4 と同様側壁(75)の高さを十分高く設定することで記憶ノード(74)と制御電極(5)の対向面積を記憶ノード(74)とシリコン基板の対向面積よりも大きくできる。この結果制御電極(5)に電圧を印加すると、トンネル膜(19)にかかる電界の方が層間膜(20)にかかる電界よりも強くなり、実施例 4 と同様の効果がある。

【0 0 3 4】

<実施例 6>

図 17 には本発明の第 6 の実施例を示す。断面構造図は図 1 に等しく、アレイ構成も基本的に同様であり、補助電極下に形成した反転層(1)と、この反転層に電圧を供給する配線(23)の間にスイッチ(78)を設けている点においてのみ異なる。尚、ここまでの実施例の等価回路図では図の煩雑さを避けるため、補助電極と補助電極下に形成される反転層のうち接続関係の説明に必要な一方のみ示してしたが、図 17 では構成、効果の説明上着目する補助電極(4)について補助電極(4)とその下に形成される反転層(1)の両方を示している。ただし説明で素子分離に用いている隣接補助電極(8)(9)については補助電極配線のみ示した。実際にはこの補助電極(8)(9)においても同様のスイッチ構造を設け、配線(29)との間で導通、非導通が制御可能となっている。

【0035】

読み出し動作においてはこのスイッチ(78)を導通状態にさせておけば実施例 1 の動作と同様であり、特徴は書込み動作にある。書込み動作において、実施例 1 は本実施例と比べ、スイッチを設けていない分面積が小さく出来、従って低コストであるという特徴があるが、次のような課題がある。先に述べたように、書込み時に補助電極に小さい電圧を加え、この下の基板表面を高抵抗にする。このとき書込みたいメモリセル(21)は反転層に電圧を供給する配線(23)と高抵抗の導通状態となる。通常補助電極の長手方向(紙面上 Y 方向)の長さは線幅に対して非常に大きいため、補助電極下の電位はワード線(5)下の拡散層 2(2)から補助電極下を横切って拡散層 1(3)に至る経路でほぼ決定される。しかしながら配線(23)から補助電極の長手方向下の基板表面を経由する電流経路も二次的な影響を与え、しかもコンタクト位置からの長さに依存して影響の大きさが異なる。本実施例の構成においてはスイッチ(78)が非導通となるよう信号線(79)を設定することにより、上述の電流経路が消え、従って書込み特性の場所依存のばらつきが小さいという特徴がある。本実施例のようにスイッチを介して反転層による配線に電圧を供給することにより書込みばらつきを低減する手法は他の実施例においても有効であり、他の実施例にこの構成を適用してもよい。

【0036】

<実施例 7>

図18には本発明の第7の実施例を示す。記憶ノードがSiN(80)によって構成されていることによつてのみ実施例1と異なる。アレイ構成、動作も同様である。SiNはSiO₂に対して高選択のドライエッチ、あるいはウエットエッチを行うことが可能である。このため、作製工程中周辺回路のようなメモリセル以外の部分の除去工程が容易である。また、SiNは通常高密度のトラップを有するため、金属または半導体で記憶ノードを形成する場合のように粒を高密度に形成するための技術開発が不要であり、開発コストが低減できるという特徴がある。また、記憶ノードにSiN以外のトラップ性の絶縁膜を用いてもよい。

【0037】

<実施例8>

図1～図3および図19を用いて、本発明第8の実施例を示す。本実施例は、実施例1と書込み動作において異なる。実施例1で示したメモリセルの書込み方式では、補助電極(4)下の基板表面を高抵抗の導通状態とするため、補助電極(4)を比較的低い電位に設定してサブスレッショルド領域で動作させる。このため、補助電極の寸法ばらつきや、印加電圧のばらつきがメモリセルの書込み特性に大きく影響する。補助電極下のゲート酸化膜厚が例えば9nmの場合、補助電極の電圧が±0.1Vばらつくと、電荷蓄積領域に注入される電子の量は約1桁変化する。また、チャネル電流を供給するための内部電源が書込み時に動作しているため、補助電極の電位が内部電源からのノイズを受けて変化してしまう可能性がある。先記の通り、メモリセルの書込み特性は補助電極の電圧に大きく影響を受けるため、内部電源からの微小な駆動ノイズでも、特性の変動を生じる可能性がある。

【0038】

また、書込み動作は、同時に書込みを行う複数のメモリセルのしきい値全てが所望の値になるまで、書込みバイアスの印加と、しきい値の検証を繰り返すことで行っている。このため、メモリセルの特性にばらつきが存在すると、上記書込みバイアスの印加としきい値検証の繰り返し回数が増大し、書込み時間が長くなる。したがって、補助電極の寸法ばらつきや、補助電極に印加される電圧のばらつき、内部電源からの駆動ノイズの影響によつて、メモリの書込み時間が増大す

ることが懸念される。

【0039】

さらに、1つのメモリセルあたり2ビット以上のデータを蓄えることのできる多値メモリを実現するためには、各データに対応するしきい値電圧分布幅を小さく抑える必要があるため、上記の書込み特性のばらつきが、メモリの書込み時間を大幅に増大させる。

【0040】

本実施例は、補助電極に起因する書込み特性ばらつきを低減することが可能である。

以下、図19を用いて詳細に説明する。まず時間 t_0 において、データ線(35)を書込みドレイン電圧である4Vに、制御電極(5)を書込みワード電圧である15Vに設定し、ゲート電極(25)(28)を共に10Vに設定することで、拡散層(2)は0Vに、拡散層(3)は4Vにそれぞれ設定されることになる。その後、時間 t_1 にて、ゲート電極(25)を0Vに立下げ、データ線(35)と拡散層(3)との接続を断ち、拡散層(3)をフローティング状態とする。この時、拡散層容量 C_d とすると、拡散層(3)に蓄積されている電荷量 Q_d は、 $C_d \times 4$ クーロンとなる。その後、時間 t_2 において、補助電極(4)を書込み電圧である1Vに立ち上げると、拡散層(3)に蓄積されていた電荷 Q_d が、電荷蓄積領域(11)、補助電極(4)、電荷蓄積領域(10)それぞれの下基板表面を通過して拡散層(2)へ放電されることになる。この時、補助電極(4)下の基板表面以外は低抵抗状態となるため、拡散層間に電位差がある場合には補助電極(4)の右端部に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極(5)電位が高いことから制御電極(5)方向に引き寄せられ、トンネル絶縁膜(19)のポテンシャル障壁を跳び越えて電荷蓄積領域(11)に注入される。この時、補助電極(4)下の基板表面が高抵抗であるため、拡散層(2、3)間に流れる電流はあまり大きくなく、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。また、書込みたくない場合には拡散層(2)を1V程度にするか、もしくは拡散層(3)を0Vとすれば、拡散層(2、3)間に電位差が生じないためホットエレクトロンは発生せず、従って電荷注入はおこらない。また非選

択のワード線(52)は十分低い電圧(例えば0V)に固定することで、非選択ワード線で駆動されるメモリセルのチャネルを非導通にしておけば情報の書込みは行われない。

【0041】

上記書込み方式では、拡散層に蓄積した電荷が放電し終わった時点で書込みが自動的に終了することになり、電荷蓄積領域(11)に注入される電荷量 Q_g は、注入効率を γ とすると、 $Q_g = Q_d \times \gamma$ で表される。ここで、注入効率 γ は電荷蓄積領域(11)の電位とドレイン電圧、および補助電極(4)電圧の関数であり、書込み動作中に変化するものであるが、ここでは一定であると仮定している。注入効率 γ の補助電極電圧への依存性は比較的小さく、例えば、補助電極の電圧が ± 0.1 V変化したとき、 γ は0.3桁程度しか変化しない。拡散層に蓄積される電荷 Q_d は一定であるため、書込み特性を表す Q_g も0.3桁程度のばらつきで抑えられることになる。実施例1の書込み方式では、1桁以上のばらつきが生じるのに対して、書込みばらつきを大幅に抑えることが可能となり、書込み時間を短縮することができる。

【0042】

また、上記書込み動作は更に以下のような効果を持つ。すなわち、拡散層に電荷を蓄積した後、その電荷を用いて書込みを実施するため、実際の書込み動作時には、書込みドレインの電源を不活性にすることができる。このため、補助電極は書込みドレインの電源からノイズを受けることがなく、安定した書込みを実現できる。また、一定の容量に電荷を供給すれば良いため、書込みドレイン電源の設計が容易となる。例えば、従来の方式では、ばらつきを考慮してマージンを取らねばならず、大きな電流供給能力を必要とする。それに対し本方式では、供給すべき電荷量にばらつきが生じないため、必要最低限の電流供給能力で良い。このため、電源回路の大きさを大幅に縮小することが可能となる。

【0043】

本実施例は、記憶ノードが実施例1のような複数の微小粒ではなく実施例4のように補助電極の側壁として加工した多結晶シリコンで形成されている場合にも同様に適用可能である。また、実施例7のように記憶ノードがSiNによって形

成されている場合にも同様に適用可能である。

【0 0 4 4】

<実施例9>

図 1 2 ～図 1 4 および図 2 0 を用いて、本発明第 9 の実施例を示す。本実施例は、実施例 3 と書込み動作において異なる。実施例 3 で示したメモリセルの書込み方式では、補助電極 (67) 下の基板表面を高抵抗の導通状態とするため、補助電極 (67) を比較的低い電位に設定し、サブスレッショルド領域で動作させる。このため、補助電極の寸法ばらつきや、印加電圧のばらつきがメモリセルの書込み特性に大きく影響する。補助電極下のゲート酸化膜厚が例えば 9 nm の場合、補助電極の電圧が ± 0.1 V ばらついた場合、電荷蓄積領域に注入される電子の量は約 1 桁変化することになる。また、チャネル電流を供給するための内部電源が書込み時に動作しているため、補助電極の電位が内部電源からのノイズを受けて変化してしまう可能性が考えられる。先記の通り、メモリセルの書込み特性は補助電極の電圧に大きく影響を受けるため、内部電源からの微小な駆動ノイズでも、特性の変動を生じる可能性がある。

【0 0 4 5】

また、書込み動作は、同時に書込みを行う複数のメモリセルのしきい値全てが所望の値になるまで、書込みバイアスの印加と、しきい値の検証を繰り返すことで行っている。このため、メモリセルの特性にばらつきが存在すると、上記書込みバイアスの印加としきい値検証の繰り返し回数が増大し、書込み時間が長くなる。したがって、補助電極の寸法ばらつきや、補助電極に印加される電圧のばらつき、内部電源からの駆動ノイズの影響によって、メモリの書込み時間が増大することが予想される。

【0 0 4 6】

さらに、1 つのメモリセルあたり 2 ビット以上のデータを蓄えることのできる多値メモリを実現するためには、各データに対応するしきい値電圧分布幅を小さく抑える必要があるため、上記の書込み特性のばらつきが、メモリの書込み時間を大幅に増大させることになる。

【0 0 4 7】

本実施例は、補助電極に起因する書込み特性ばらつきを低減することが可能である。以下、図20を用いて詳細に説明する。まず、時間 t_0 でデータ線(35)を書込みドレイン電圧である4Vに、制御電極(5)を書込みワード電圧である15Vに設定し、ゲート電極(25)(28)を共に10Vに設定する。さらに、補助電極(68)を3.5Vに、補助電極(69)を7Vに設定することで、補助電極下には反転層が形成される。それぞれデータ線(34)およびデータ線(35)から給電されて、反転層(70)は0Vに、反転層(71)は4Vとなる。その後時間 t_1 にて、ゲート電極(25)を0Vに立下げ、データ線(35)と反転層(71)との接続を断ち、反転層(71)をフローティング状態とする。この時、反転層部の容量を C_i とすると、反転層(71)に蓄積されている電荷量 Q_i は、 $C_i \times 4$ クーロンとなる。その後、時間 t_2 において、補助電極(67)を書込み電圧である1Vに立ち上げると、反転層(71)に蓄積されていた電荷 Q_i が、電荷蓄積領域(66、11)、補助電極(67)、電荷蓄積領域(10、65)それぞれの下の基板表面を通過して反転層(70)へ放電されることになる。この時、補助電極(67)下の基板表面以外は低抵抗状態となるため、拡散層間に電位差がある場合には補助電極(67)の右端部下に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極(5)電位が高いことから制御電極(5)方向に引き寄せられ、トンネル絶縁膜(19)のポテンシャル障壁を跳び越えて電荷蓄積領域(11)に注入される。この時、補助電極(67)下の基板表面が高抵抗であるため、拡散層(2、3)間に流れる電流はあまり小さくなく、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。

【0048】

また、書込みたくない場合には反転層(70)を1V程度にするか、もしくは反転層(71)を0Vとすれば、反転層(70、71)間に電位差が生じないためホットエレクトロンは発生せず、従って電荷注入はおこらない。また非選択のワード線(52)は十分低い電圧(例えば0V)に固定することで、非選択ワード線で駆動されるメモリセルのチャネルを非導通にしておけば情報の書込みは行われない。

【0049】

上記書込み方式では、反転層に蓄積した電荷が放電し終わった時点で書込みが

自動的に終了することになり、電荷蓄積領域(11)に注入される電荷量 Q_g は、注入効率を γ とすると、 $Q_g = Q_i \times \gamma$ で表される。ここで、注入効率 γ は電荷蓄積領域(11)の電位とドレイン電圧、および補助電極(67)電圧の関数であり、書込み動作中に変化するものであるが、ここでは一定であると仮定している。注入効率 γ の補助電極電圧への依存性は比較的小さく、例えば、補助電極の電圧が ± 0.1 V変化したとき、 γ は0.3桁程度しか変化しない。拡散層に蓄積される電荷 Q_i は一定であるため、書込み特性を表す Q_g も0.3桁程度のばらつきで抑えられることになる。実施例3の書込み方式では、1桁以上のばらつきが生じるのに対して、書込みばらつきを大幅に抑えることが可能となり、書込み時間を短縮することができる。

【0050】

また、上記書込み動作は更に以下のような効果を持つ。すなわち、拡散層に電荷を蓄積した後、その電荷を用いて書込みを実施するため、実際の書込み動作時には、書込みドレインの電源を不活性にすることができる。このため、補助電極は書込みドレインの電源からノイズを受けることがなく、安定した書込みを実現できる。また、一定の容量に電荷を供給すれば良いため、書込みドレイン電源の設計が容易となる。例えば、従来の方式では、ばらつきを考慮してマージンを取らねばならず、大きな電流供給能力を必要とする。しかし本方式では、供給すべき電荷量にばらつきが生じないため、必要最低限の電流供給能力で良い。このため、電源回路の大きさを大幅に縮小することが可能となる。

【0051】

本実施例は、記憶ノードが実施例1のような複数の微小粒ではなく、実施例5のように補助電極の側壁として加工した多結晶シリコンで形成されている場合にも同様に適用可能である。また、記憶ノードがSiNによって形成されている場合にも同様に適用可能であることは言うまでもない。

【0052】

<実施例10>

図9～図11および図21を用いて、本発明第10の実施例を示す。本実施例は、実施例2と書込み動作において異なる。実施例2で示したメモリセルの書込

み方式では、補助電極(48)下の基板表面を高抵抗の導通状態とするため、補助電極(48)を比較的低い電位に設定し、サブスレッショルド領域で動作させる。このため、補助電極の寸法ばらつきや、印加電圧のばらつきがメモリセルの書込み特性に大きく影響する。補助電極下のゲート酸化膜厚が例えば 9 nm の場合、補助電極の電圧が 70.1 V ばらついた場合、電荷蓄積領域に注入される電子の量は約 1 桁変化することになる。また、チャネル電流を供給するための内部電源が書込み時に動作しているため、補助電極の電位が内部電源からのノイズを受けて変化してしまう可能性が考えられる。先記の通り、メモリセルの書込み特性は補助電極の電圧に大きく影響を受けるため、内部電源からの微小な駆動ノイズでも、特性の変動を生じる可能性がある。

【0053】

また、書込み動作は、同時に書込みを行う複数のメモリセルのしきい値全てが所望の値になるまで、書込みバイアスの印加と、しきい値の検証を繰り返すことで行っている。このため、メモリセルの特性にばらつきが存在すると、上記書込みバイアスの印加としきい値検証の繰り返し回数が増大し、書込み時間が長くなる。したがって、補助電極の寸法ばらつきや、補助電極に印加される電圧のばらつき、内部電源からの駆動ノイズの影響によって、メモリの書込み時間が増大することが予想される。

【0054】

さらに、1つのメモリセルあたり 2 ビット以上のデータを蓄えることのできる多値メモリを実現するためには、各データに対応するしきい値電圧分布幅を小さく抑える必要があるため、上記の書込み特性のばらつきが、メモリの書込み時間を大幅に増大させることになる。

【0055】

本実施例は、補助電極に起因する書込み特性ばらつきを低減することが可能である。以下、図 21 を用いて詳細に説明する。まず、時間 t_0 において、データ線 (35) を書込みドレイン電圧である 4 V に、制御電極 (5) を書込みワード電圧である 15 V に設定し、ゲート電極 (25) (28) を共に 10 V に設定する。同時に、補助電極 (49) を 7 V に設定することにより、補助電極下に形成される反転層 (51)

は 4 V となる。その後、時間 t_1 にて、ゲート電極(25)を 0 V に立下げ、データ線(35)と反転層(51)との接続を断ち、反転層(51)をフローティング状態とする。この時、反転層容量を C_i とすると、反転層(51)に蓄積されている電荷量 Q_i は、 $C_i \times 4$ クーロンとなる。その後、時間 t_2 において、補助電極(48)を書込み電圧である 2 V に立ち上げると、反転層(51)に蓄積されていた電荷 Q_i が、電荷蓄積領域(11)、電荷蓄積領域(10)および補助電極(48)それぞれの下の基板表面を通過してデータ線(34)へ放電されることになる。この時、補助電極(48)下の基板表面以外は低抵抗状態となるため、拡散層間に電位差がある場合には補助電極(48)の右端部下に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極(5)電位が高いことから制御電極(5)方向に引き寄せられ、トンネル絶縁膜(19)のポテンシャル障壁を跳び越えて電荷蓄積領域(10)に注入される。この時、補助電極(48)下の基板表面が高抵抗であるため、反転層(51)とデータ線(34)間に流れる電流はあまり小さくなく、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。また、書込みたくない場合にはデータ線(34)を 2 V 程度にするか、もしくは反転層(51)を 0 V とすれば、ホットエレクトロンは発生せず、従って電荷注入はおこらない。また非選択のワード線(52)は十分低い電圧(例えば 0 V)に固定することで、非選択ワード線で駆動されるメモリセルのチャネルを非導通にしておけば情報の書込みは行われない。

【0056】

上記書込み方式では、拡散層に蓄積した電荷が放電し終わった時点で書込みが自動的に終了することになり、電荷蓄積領域(10)に注入される電荷量 Q_g は、注入効率を γ とすると、 $Q_g = Q_i \times \gamma$ で表される。ここで、注入効率 γ は電荷蓄積領域(10)の電位とドレイン電圧、および補助電極(48)電圧の関数であり、書込み動作中に変化するものであるが、ここでは一定であると仮定している。注入効率 γ の補助電極電圧への依存性は比較的小さく、例えば、補助電極の電圧が ± 0.1 V 変化したとき、 γ は 0.3 桁程度しか変化しない。拡散層に蓄積される電荷 Q_d は一定であるため、書込み特性を表す Q_g も 0.3 桁程度のばらつきで抑えられることになる。実施例 1 の書込み方式では、1 桁以上のばらつきが生じる

のに対して、書込みばらつきを大幅に抑えることが可能となり、書込み時間を短縮することができる。

【0057】

また、セル他端にある電荷蓄積領域(11)に書込みを行いたい場合は、これら補助電極(48)(49)、データ線(34)(35)、反転層配線(50)(51)の設定を入れ替えるだけで良い。

【0058】

また、上記書込み動作は更に以下のような効果を持つ。すなわち、拡散層に電荷を蓄積した後、その電荷を用いて書込みを実施するため、実際の書込み動作時には、書込みドレインの電源を不活性にすることができる。このため、補助電極は書込みドレインの電源からノイズを受けることがなく、安定した書込みを実現できる。また、一定の容量に電荷を供給すれば良いため、書込みドレイン電源の設計が容易となる。例えば、従来の方式では、ばらつきを考慮してマージンを取らねばならず、大きな電流供給能力を必要とする。しかし本方式では、供給すべき電荷量にばらつきが生じないため、必要最低限の電流供給能力で良い。このため、電源回路の大きさを大幅に縮小することが可能となる。

【0059】

さらに、本実施例で示した書込み方式は、記憶ノードが実施例2のような複数の微小粒だけではなく、補助電極の側壁として加工した多結晶シリコンで形成されている場合にも同様に適用可能である。また、記憶ノードがSiNによって形成されている場合にも、同様に適用可能である。

【0060】

<実施例11>

図9～11および図22～24を用いて、本発明第11の実施例を説明する。本実施例は、実施例2と書込み動作において異なる。実施例2では、書込み動作において低電位の反転層(例えば図11中の反転層(50))を高抵抗に設定し、この端部に電界を集中させることでホットエレクトロンを発生させて書込みを行っている。このため、拡散層(61)からの距離によって、その反転層の抵抗値が変わるという課題がある。すなわち、データ線(34)と反転層(50)との接続部である拡散

層(61)から、距離の近いセルほど反転層の抵抗が小さく、距離の遠いセルほど反転層抵抗が高くなる。抵抗値が変わると書込み特性が大きく異なることから、書込み特性に場所依存性が生じる。

【0 0 6 1】

本実施例は、上記書込み特性の場所依存性を低減することが可能である。

図 2 2 は本実施例を実現する回路構成、図 2 3 および図 2 4 は図 2 2 における補助電極の電圧発生回路からの出力例を示したものである。図 2 3 および図 2 4 において、ブロック内物理アドレスはデータ線と反転層との接続部から最も近いメモリセルを 0 とし、遠いほど大きくなるものとする。

【0 0 6 2】

上記の課題を解決するためには、物理アドレスが小さいほど補助電極の電圧は小さくて良く、物理アドレスが大きいほど補助電極の電圧を大きくして、書込み特性を揃える必要がある。図 2 2 における補助電極の電圧発生回路(104)は、アドレスバッファ(101)からのアドレス信号、コマンドバッファ(102)からの書込みモード選択信号、基準電圧発生回路(103)からの基準電圧ならびに、制御回路(100)からの制御信号が入力されることにより、書込みを行うメモリセルの物理的な位置によって出力電圧を変化させることが可能である。例えば、出力電圧を図 2 3 のようにステップ状に変化させることも可能であるし、図 2 4 のように連続的に変化させることも可能である。さらに、物理アドレスの対数に比例して変化するように設定することも可能である。

【0 0 6 3】

これによって、ブロック内の位置依存性を抑制することが可能となり、高速な書込み特性を維持できる。また、本方式は、実施例 2 のみならず、実施例 1 0 にも適用可能であることは言うまでもない。

【0 0 6 4】

【発明の効果】

本発明によれば、反転層を配線に利用するメモリ方式において、セル間の書込み特性ばらつきの小さい半導体記憶装置を実現できる。さらに、高集積でありながら読出しディスタンプに強い半導体記憶装置を実現できる。したがって、低コ

ストで高信頼な半導体記憶装置を実現できる。

【図面の簡単な説明】

【図 1】

実施例1の半導体記憶装置のメモリセルアレイ部分断面構造を示したものである。

【図 2】

実施例1の半導体記憶装置のメモリセルマト部分の上面図である。

【図 3】

実施例1の半導体記憶装置のメモリセルアレイにおいて、対象とするセルの書き込み動作を行う場合の等価的な回路図である。

【図 4】

実施例1の半導体記憶装置のメモリセルアレイにおいて、対象とするセルの読出し動作を行う場合の等価的な回路図である。

【図 5】

実施例1の半導体記憶装置のメモリセルアレイの読出し動作時に対する等価的な回路図である。図 4 とは読出し対象のメモリセルが異なる場合である。

【図 6】

実施例 1 の半導体記憶装置の製造工程を説明する断面構造図である。

【図 7】

実施例 1 の半導体記憶装置の製造工程を説明する断面構造図である。

【図 8】

実施例 1 の半導体記憶装置の製造工程を説明する断面構造図である。

【図 9】

実施例 2 の半導体記憶装置のメモリセルアレイ部分断面構造を示したものである。

【図 1 0】

実施例 2 の半導体記憶装置のメモリセルマト部分の上面図である。

【図 1 1】

実施例1の半導体記憶装置のメモリセルアレイにおいて、対象とするセルを駆

動する場合の等価的な回路図である。

【図 1 2】

実施例 3 の半導体記憶装置のメモリセルアレイ部分断面構造を示したものである。

【図 1 3】

実施例 3 の半導体記憶装置のメモリセルマト部分の上面図である。

【図 1 4】

実施例 3 の半導体記憶装置のメモリセルアレイにおいて、対象とするセルの書き込み動作を行う場合の等価的な回路図である。

【図 1 5】

実施例 4 の半導体記憶装置のメモリセルアレイ部分断面構造を示したものである。

【図 1 6】

実施例 5 の半導体記憶装置のメモリセルアレイ部分断面構造を示したものである。

【図 1 7】

実施例 6 の半導体記憶装置のメモリセルアレイの等価回路を示したものである。

【図 1 8】

実施例 7 の半導体記憶装置のメモリセルアレイ部分断面構造を示したものである。

【図 1 9】

実施例 8 の半導体記憶装置の書き込み動作におけるタイミング波形を示したものである。

【図 2 0】

実施例 9 の半導体記憶装置の書き込み動作におけるタイミング波形を示したものである。

【図 2 1】

実施例 1 0 の半導体記憶装置の書き込み動作におけるタイミング波形を示したも

のである。

【図 2 2】

実施例 1 1 の半導体記憶装置における補助電極電圧発生回路部のブロック図である。

【図 2 3】

実施例 1 1 の半導体記憶装置における補助電極電圧発生回路の出力電圧例を示したものである。

【図 2 4】

実施例 1 1 の半導体記憶装置における補助電極電圧発生回路の図 2 3 とは異なる出力電圧例を示したものである。

【図 2 5】

実施例 3 にて、電荷蓄積領域をn型多結晶シリコンの連続膜構造で構成した構造例を示したものである。

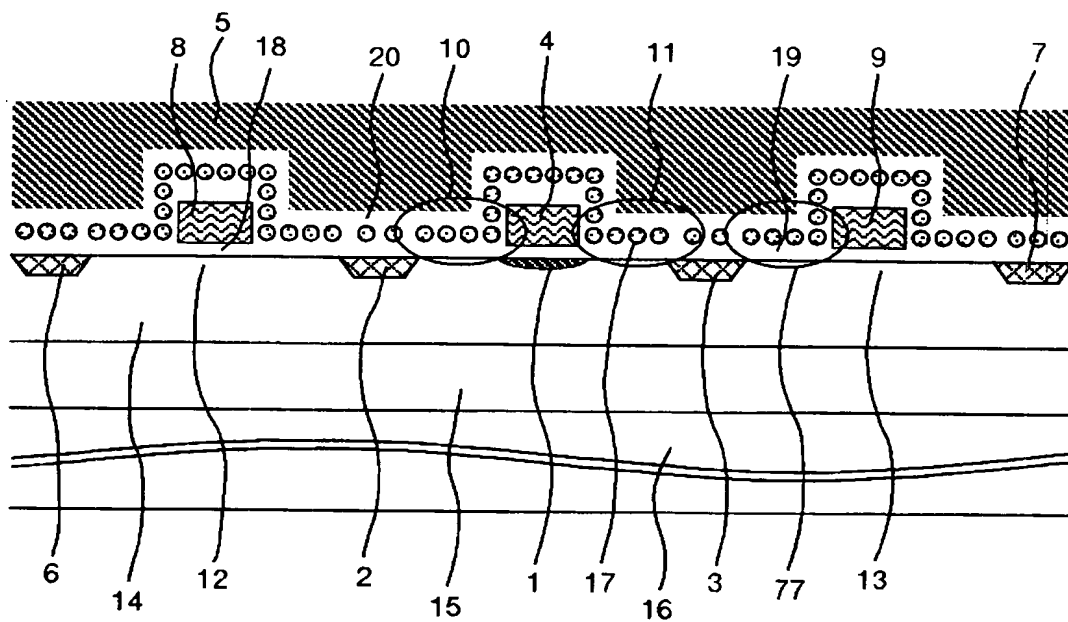
【符号の説明】

1:補助電極下のシリコン基板表面に形成されたn型反転層, 2,3,6,7:n型拡散層兼ローカルデータ線, 4,8,9:補助電極, 5:制御電極, 10,11,77:電荷蓄積領域, 12,13:補助電極下p型シリコン基板表面, 14:p型ウエル, 15:n型ウエル, 16:p型シリコン基板, 17:シリコン微小結晶, 18:補助電極下SiO₂絶縁膜, 19:電荷蓄積領域下SiO₂絶縁膜, 20, 制御電極電荷蓄積領域間層間絶縁膜, 21:単位メモリセルパターン, 22:n型アクティブ領域, 23,29:金属配線, 24,30:補助電極結束配線, 25,28:ゲート電極配線, 26,31:ローカルデータ線へのコンタクトパターン, 27,32:アクティブ領域, 33,34,35,36:グローバルデータ線, 37:CVD-SiO₂絶縁膜, 38:多結晶シリコン膜, 39:素子分離領域, 40:側壁構造, 41,42:ゲート電極, 43:多結晶シリコン側壁構造, 44:n型拡散層, 45:p型拡散層, 46:n型領域, 47:p型領域, 52:ワード線, 67,68,69:補助電極, 65,66:電荷蓄積領域、70,71:補助電極下のシリコン基板表面に形成されたn型反転層。

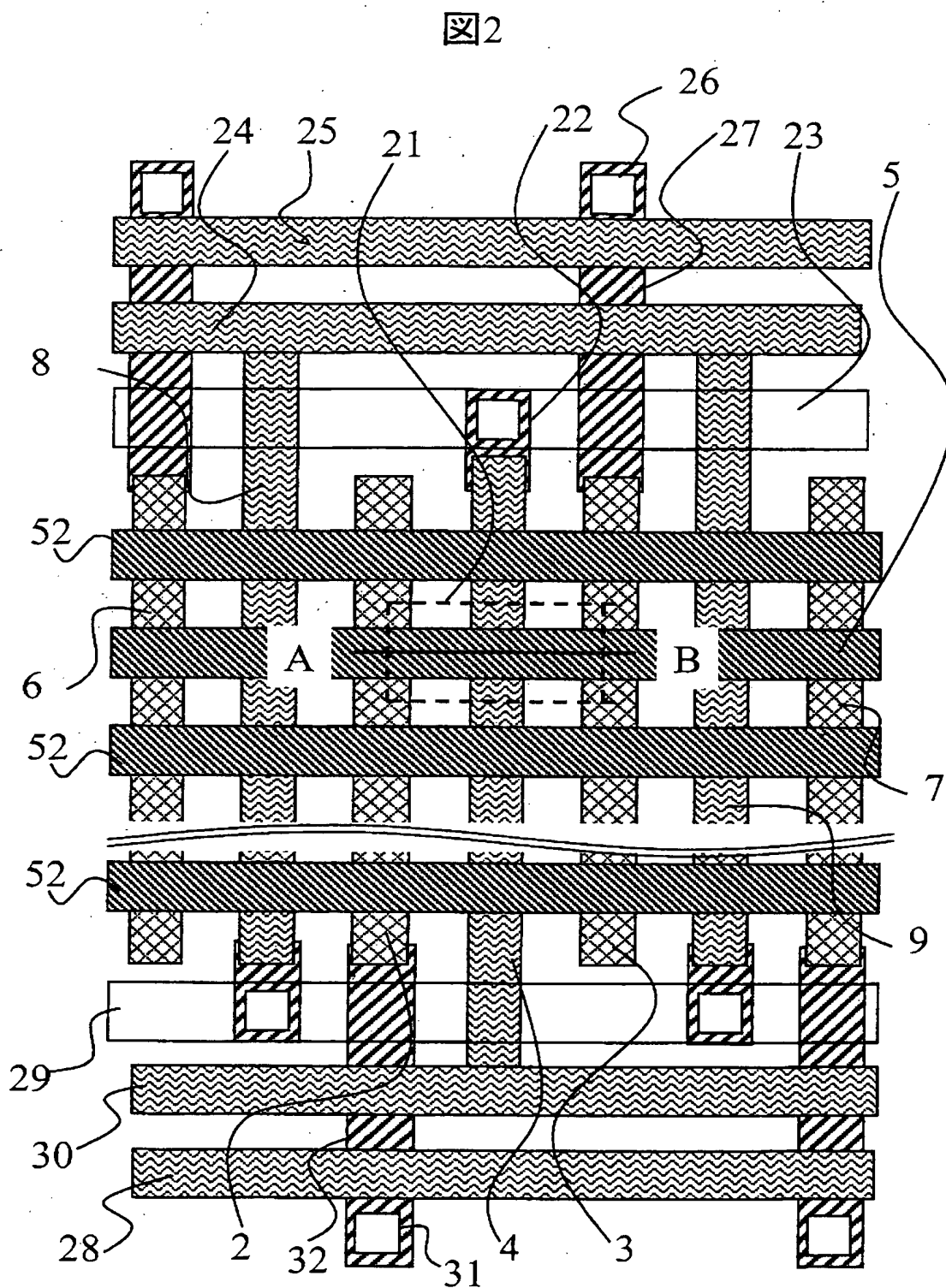
【書類名】 図面

【図 1】

図 1

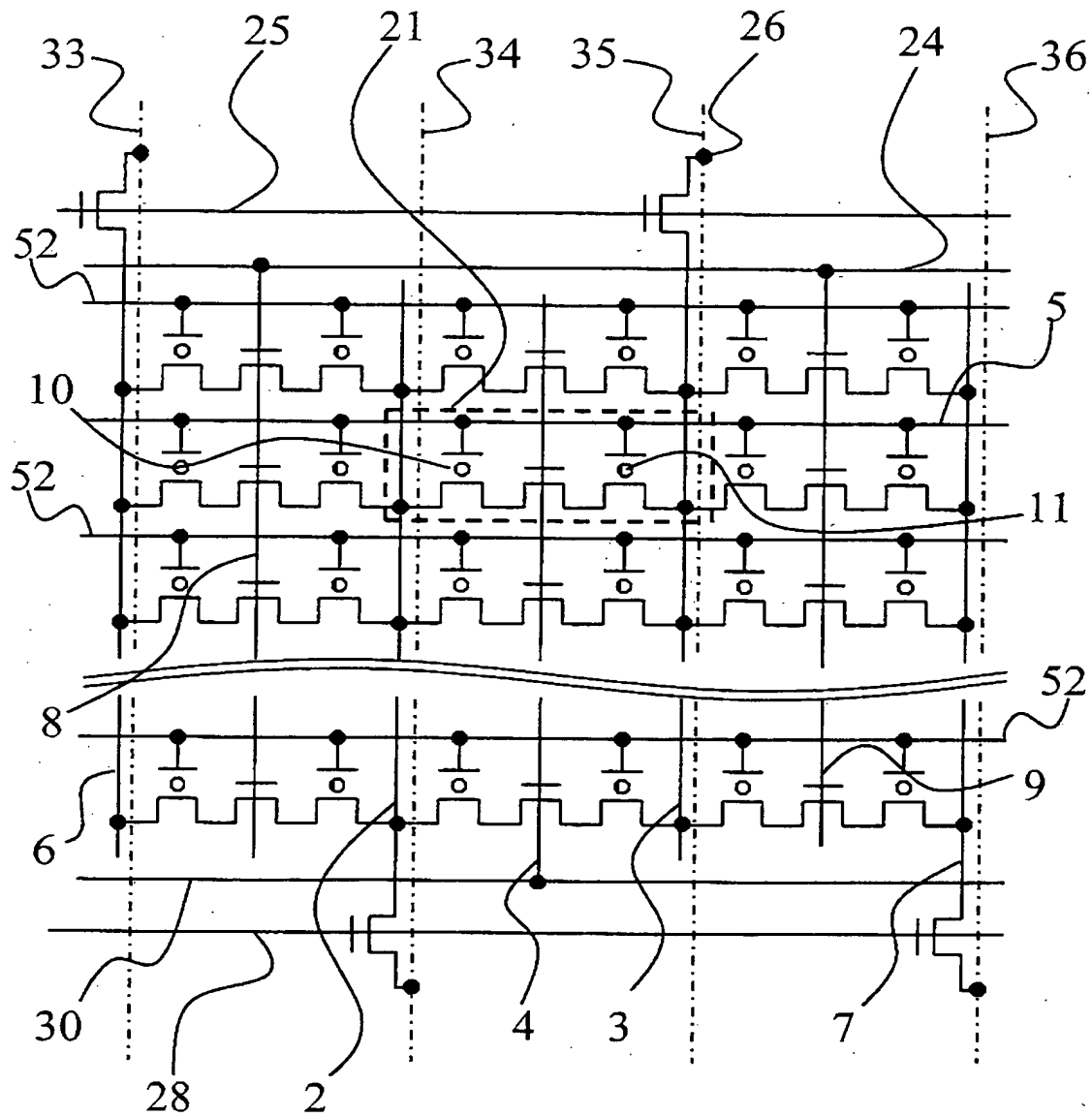


【図 2】



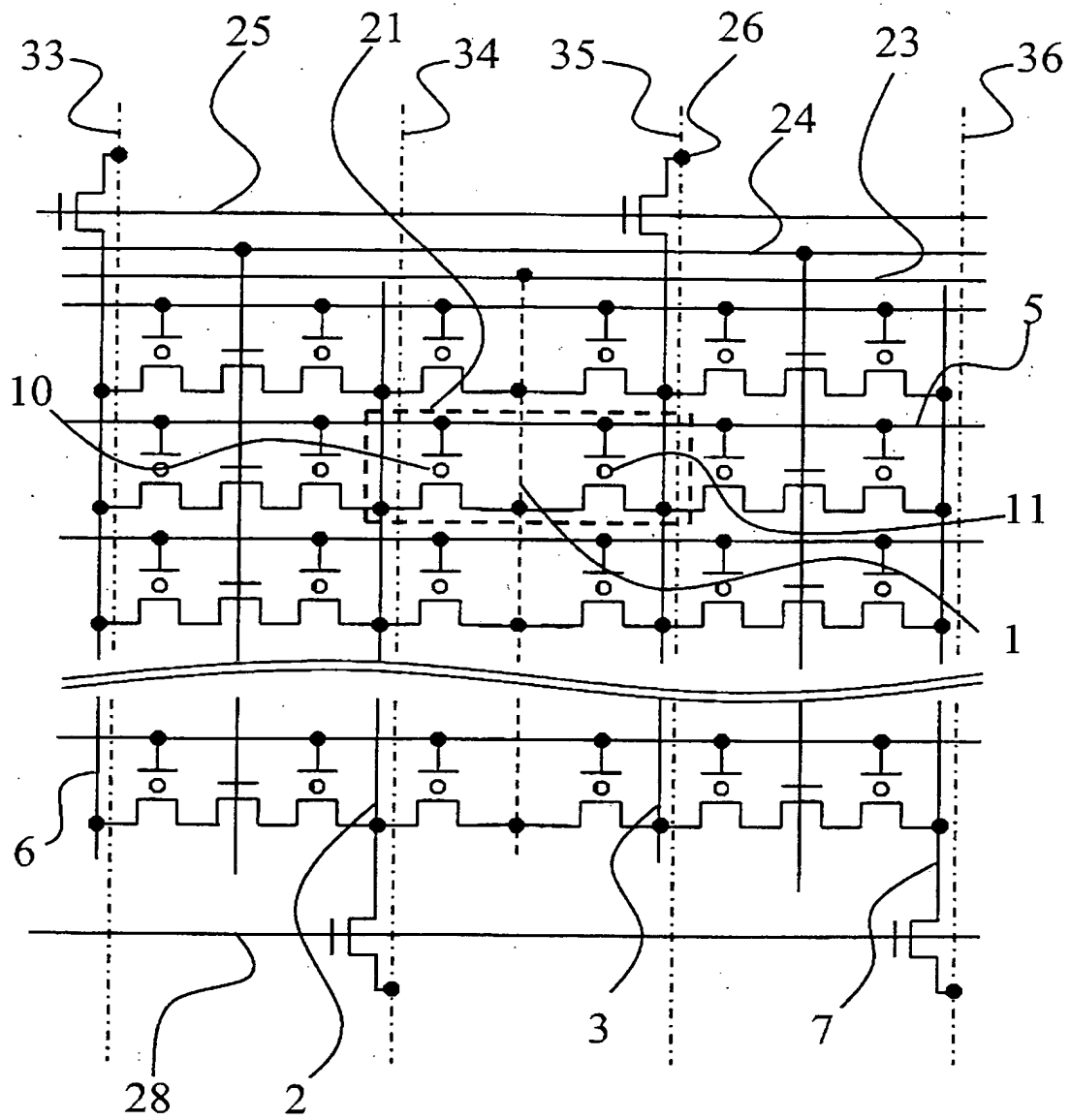
【図 3】

図3



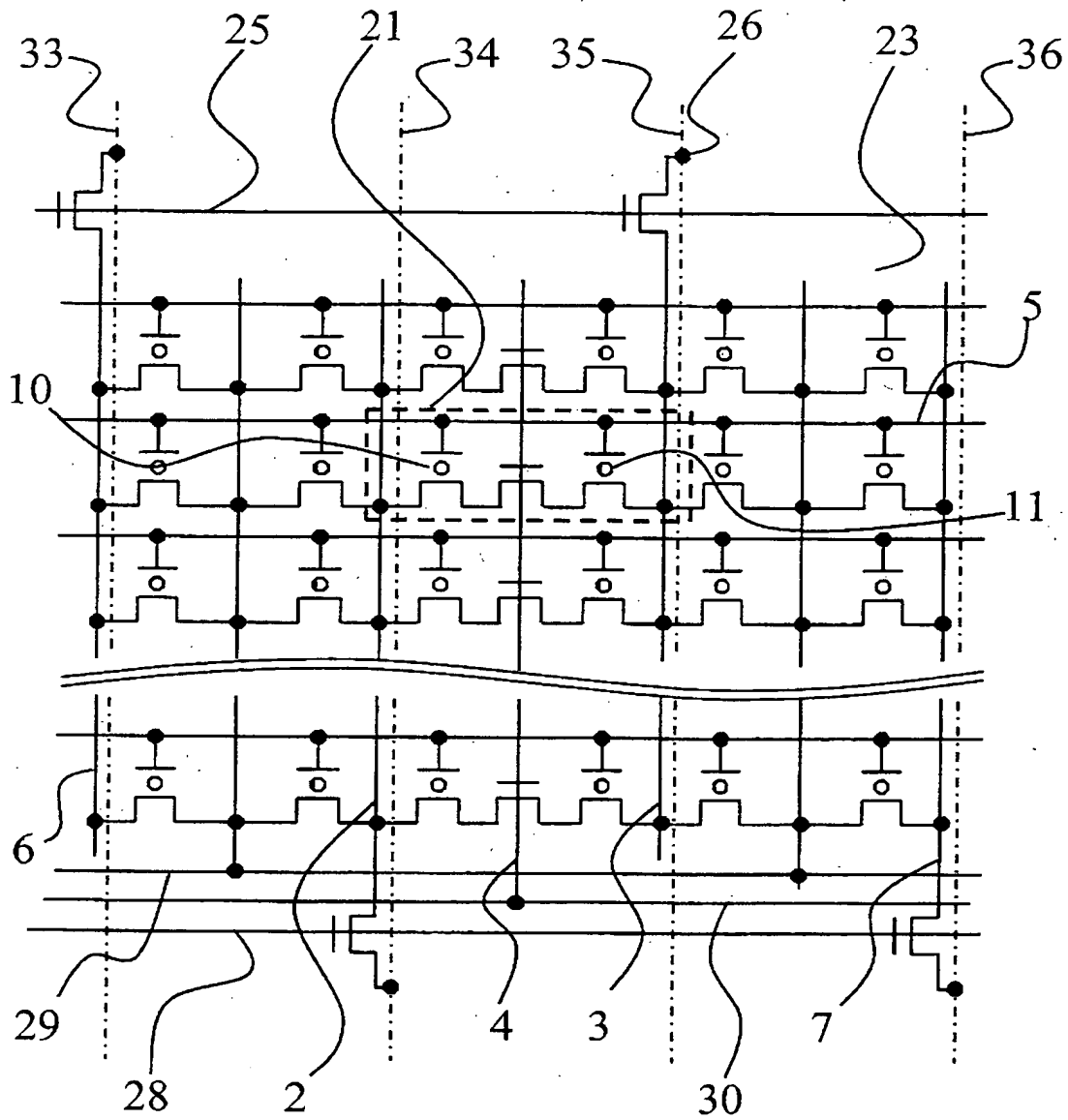
【図 4】

図4



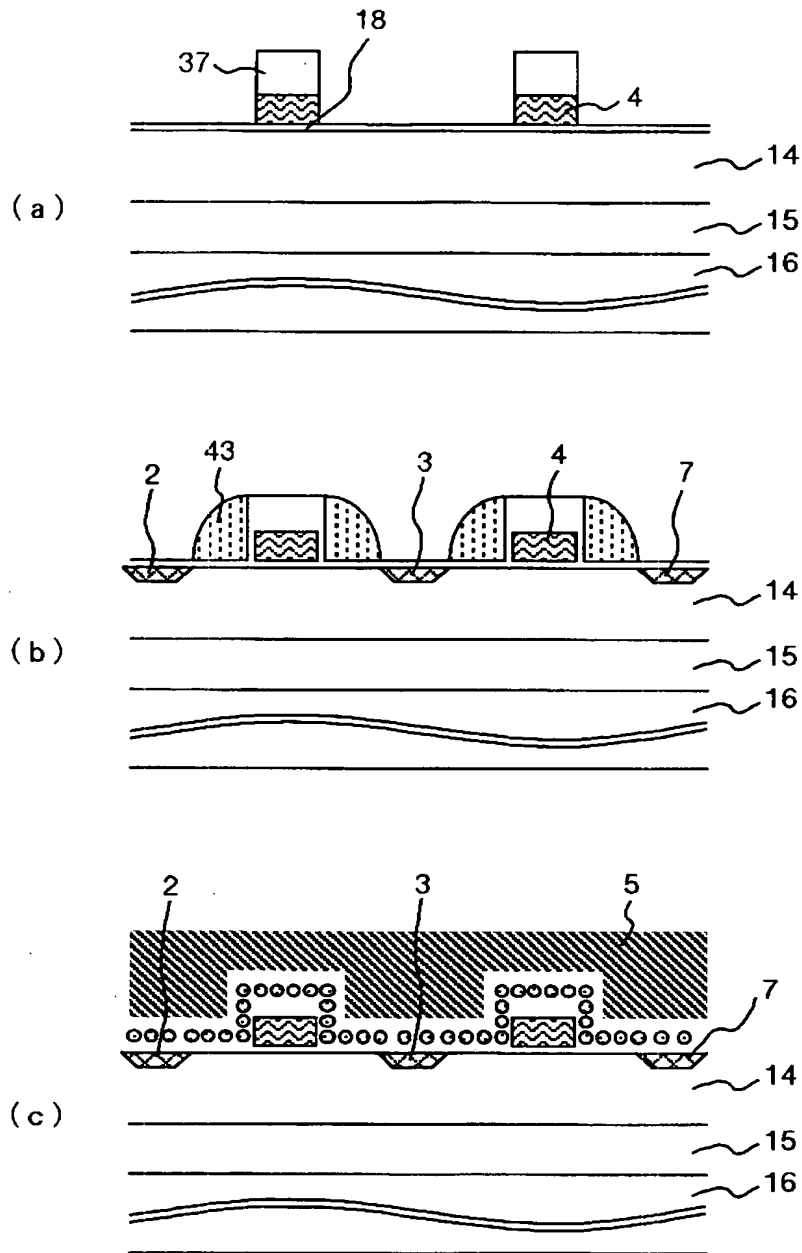
【図5】

図5



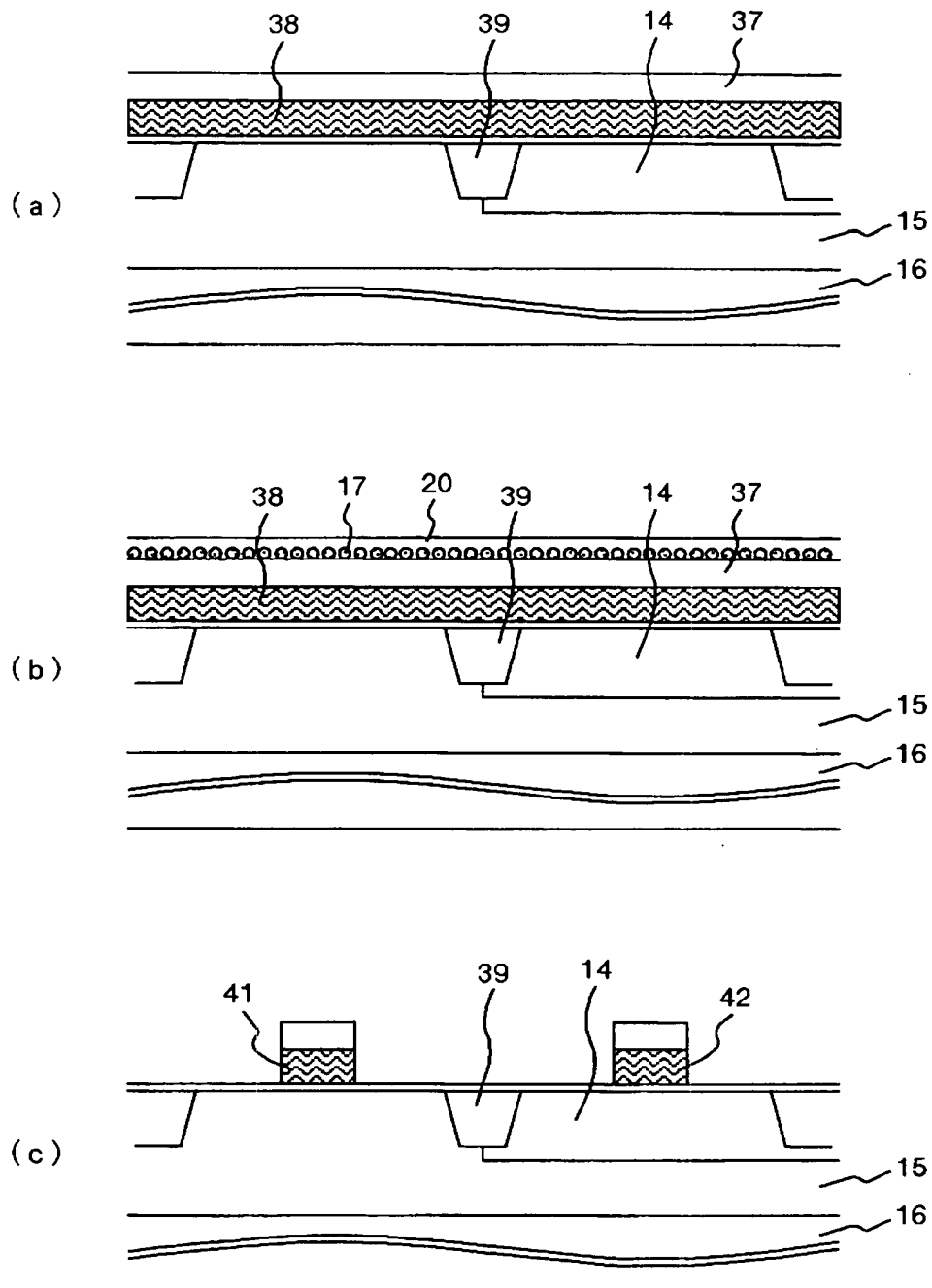
【図 6】

図 6



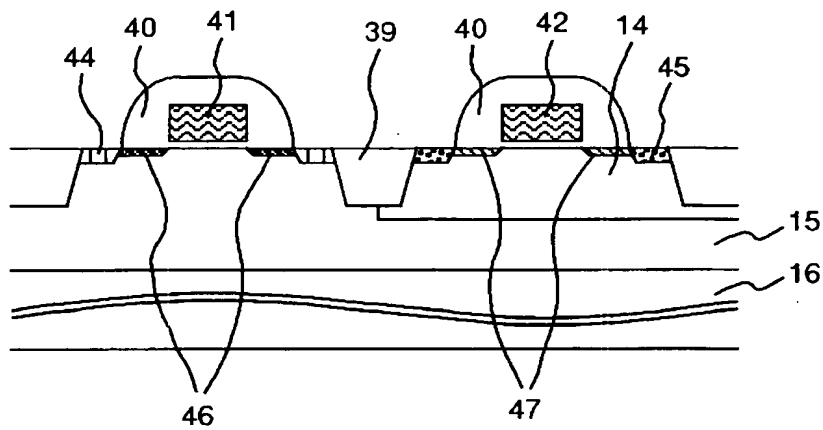
【図 7】

図 7



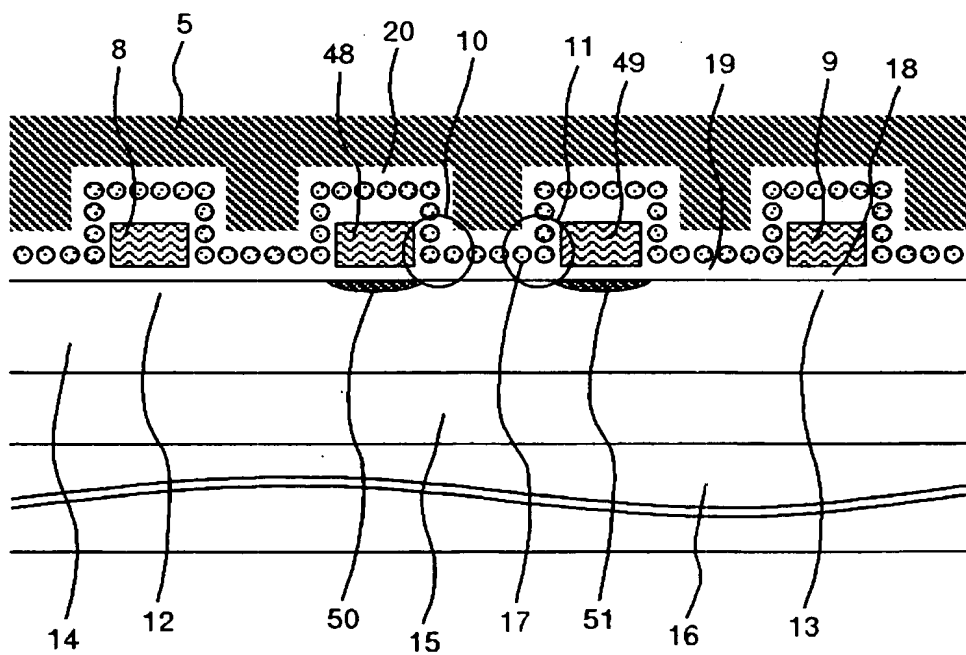
【図 8】

図 8

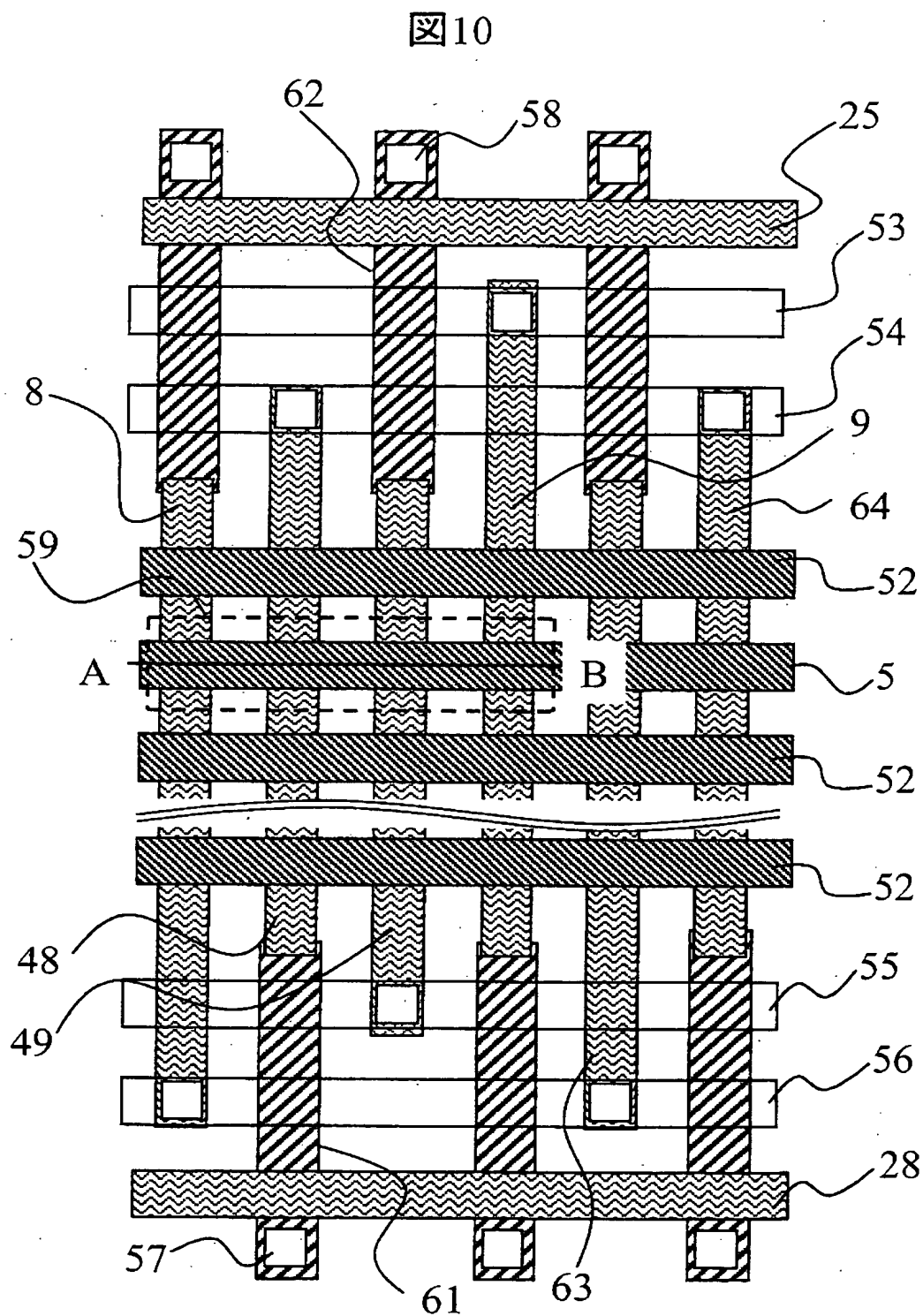


【図 9】

図 9

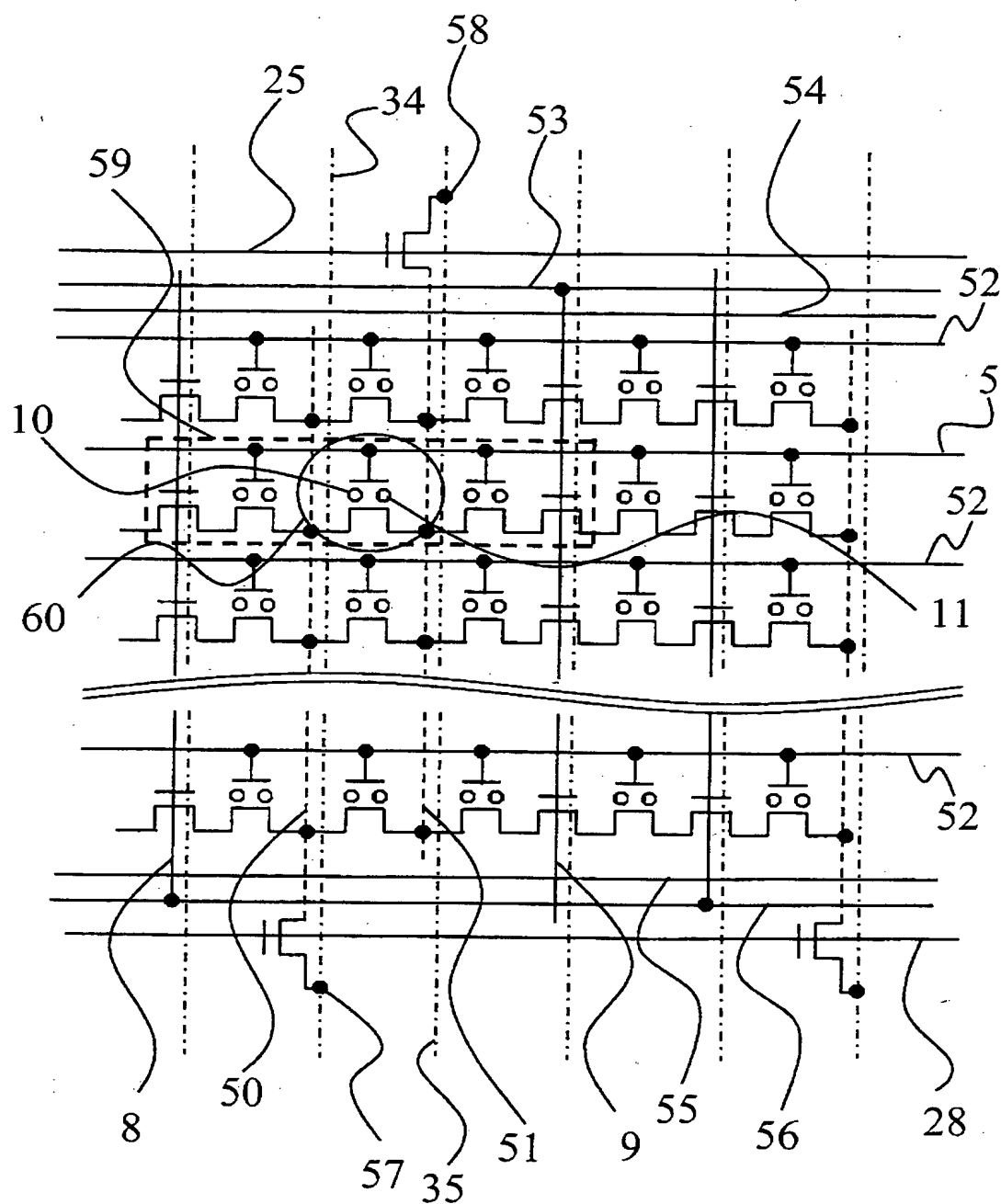


【図10】



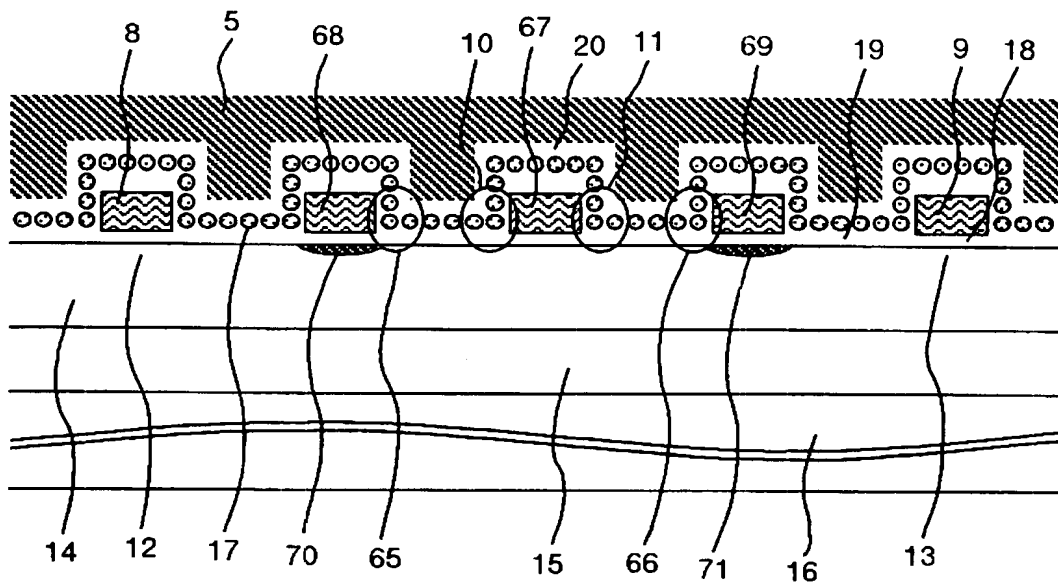
【図 11】

図 11



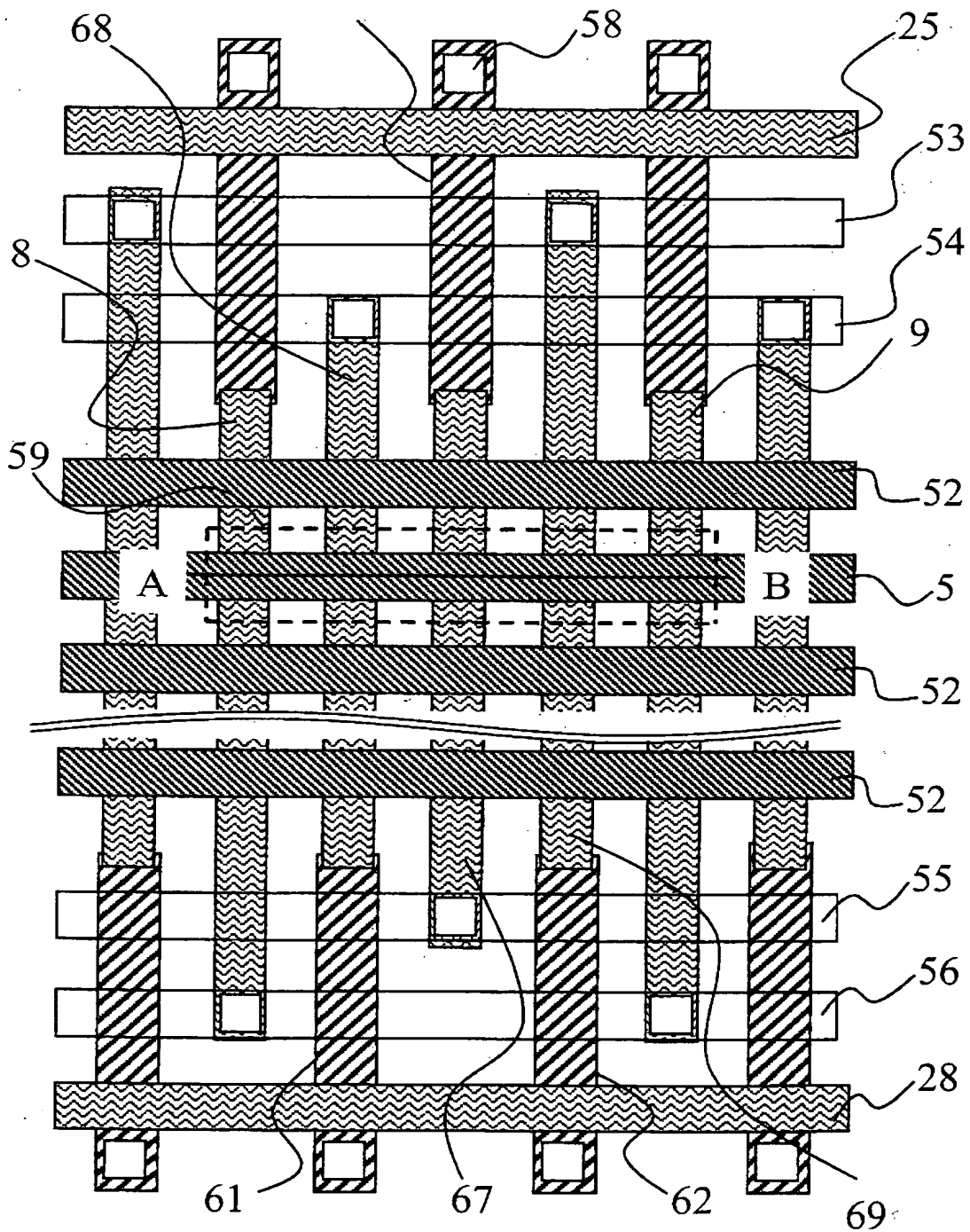
【図 12】

図 12



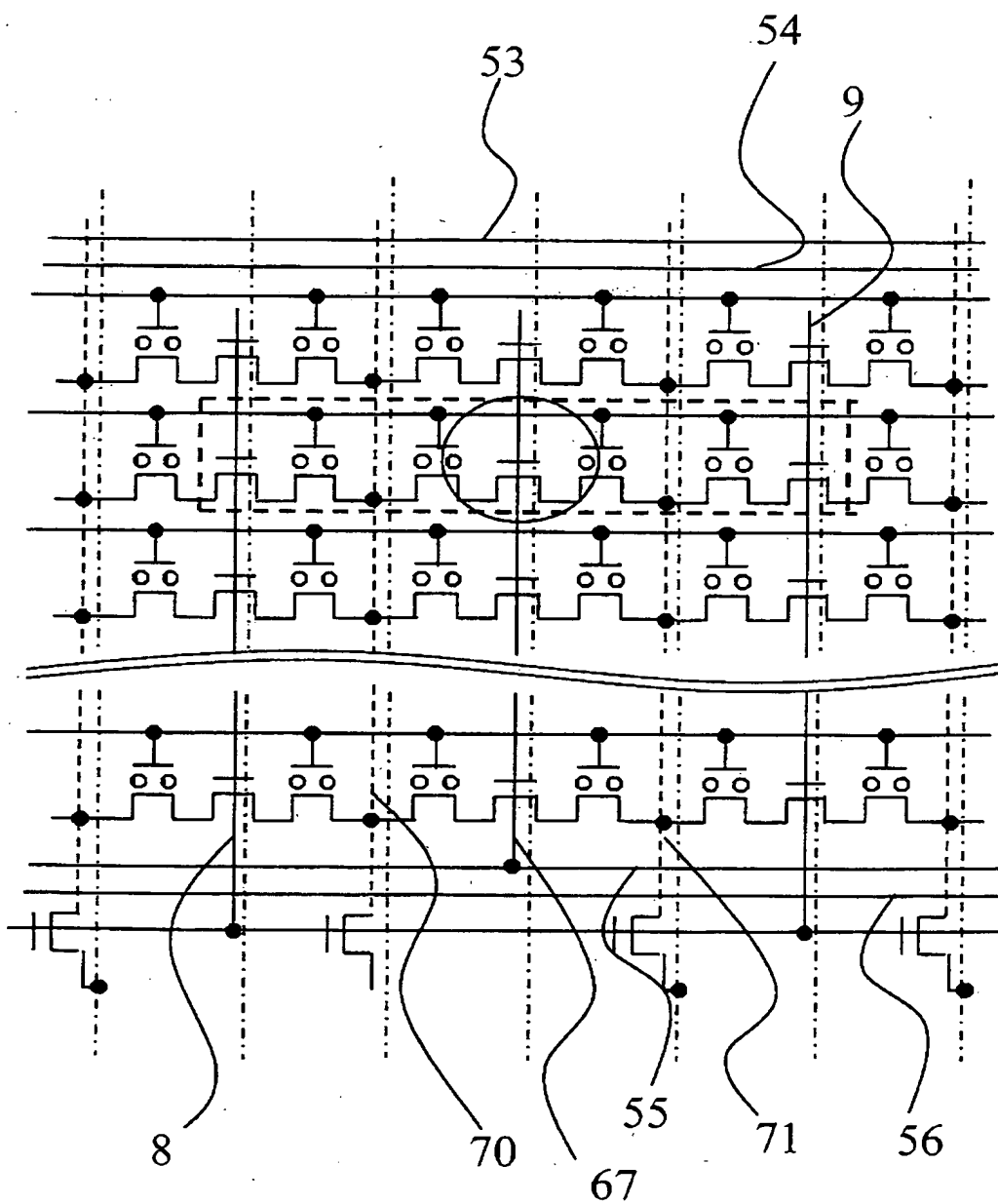
【図 13】

図13



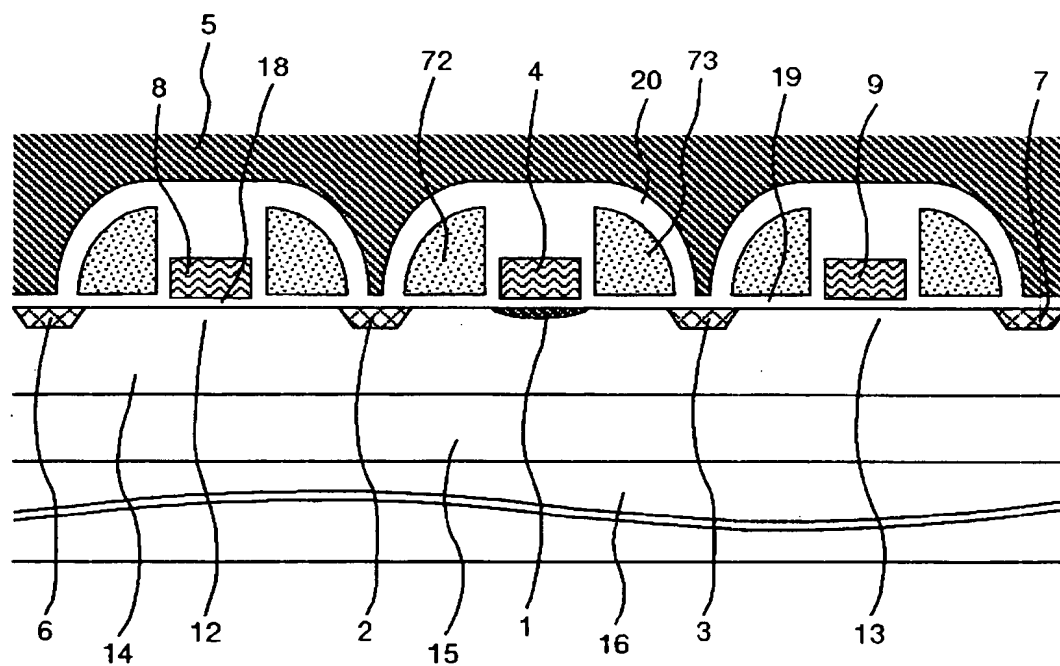
【図 14】

図14



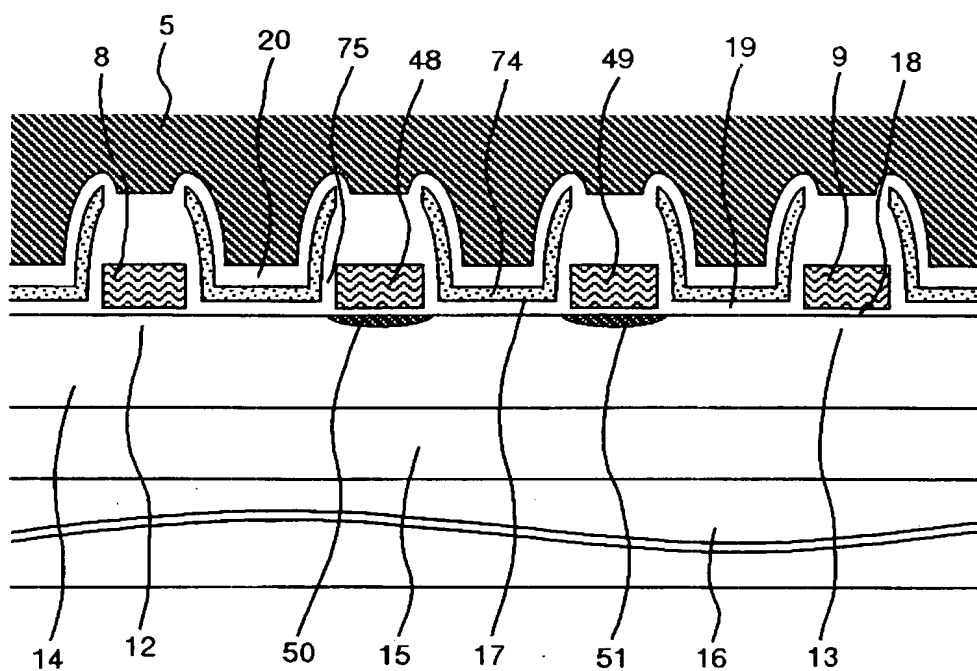
【図 15】

図 15



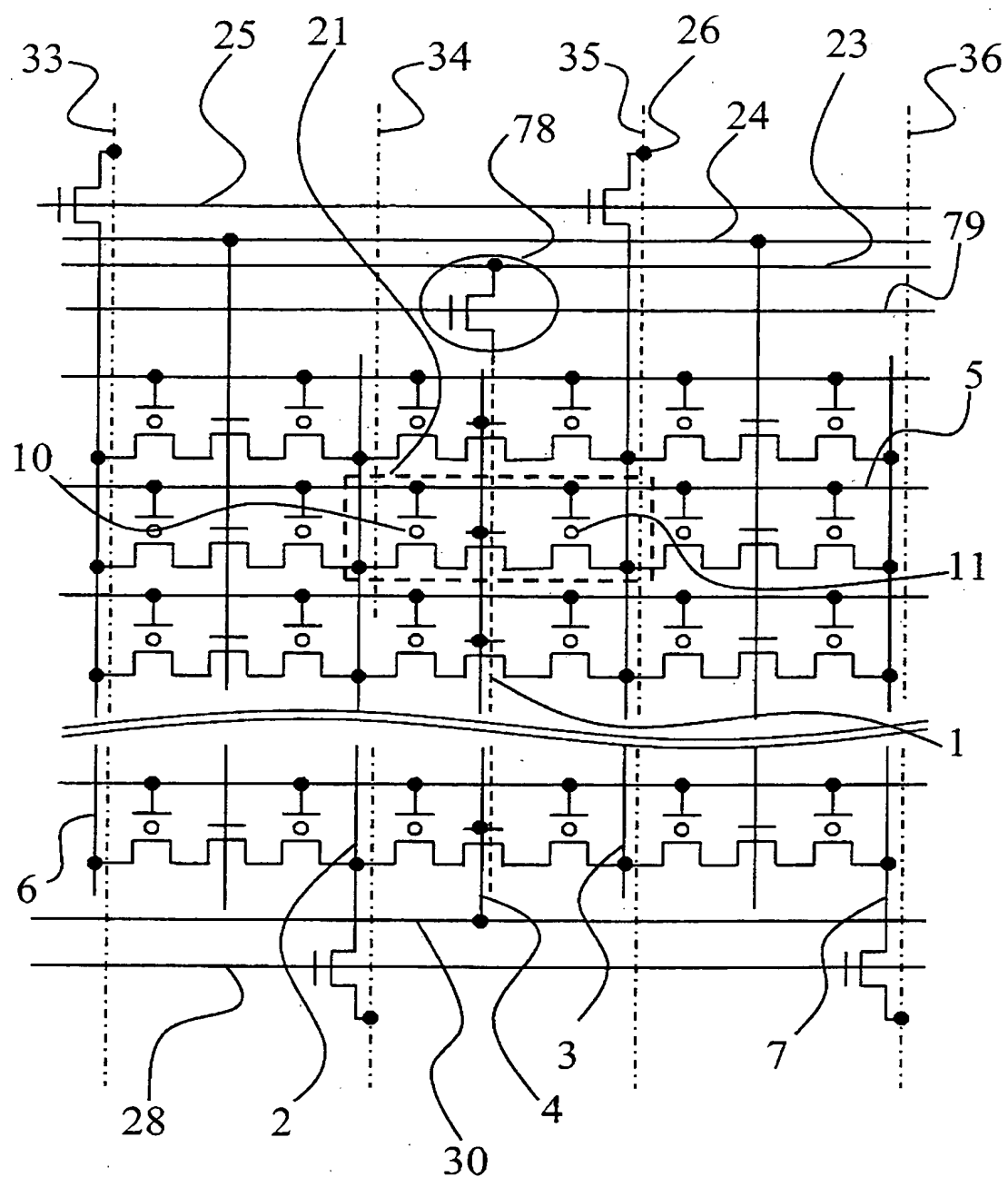
【図 16】

図 16



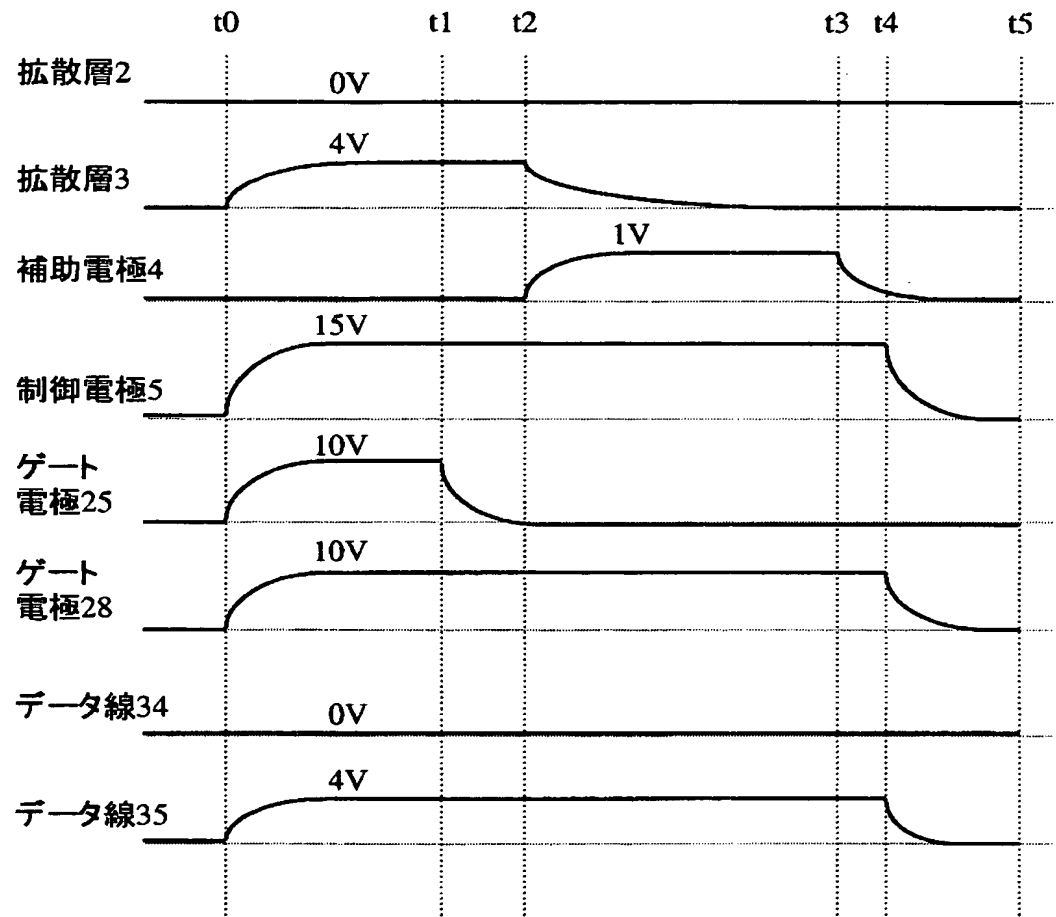
【図 17】

図17



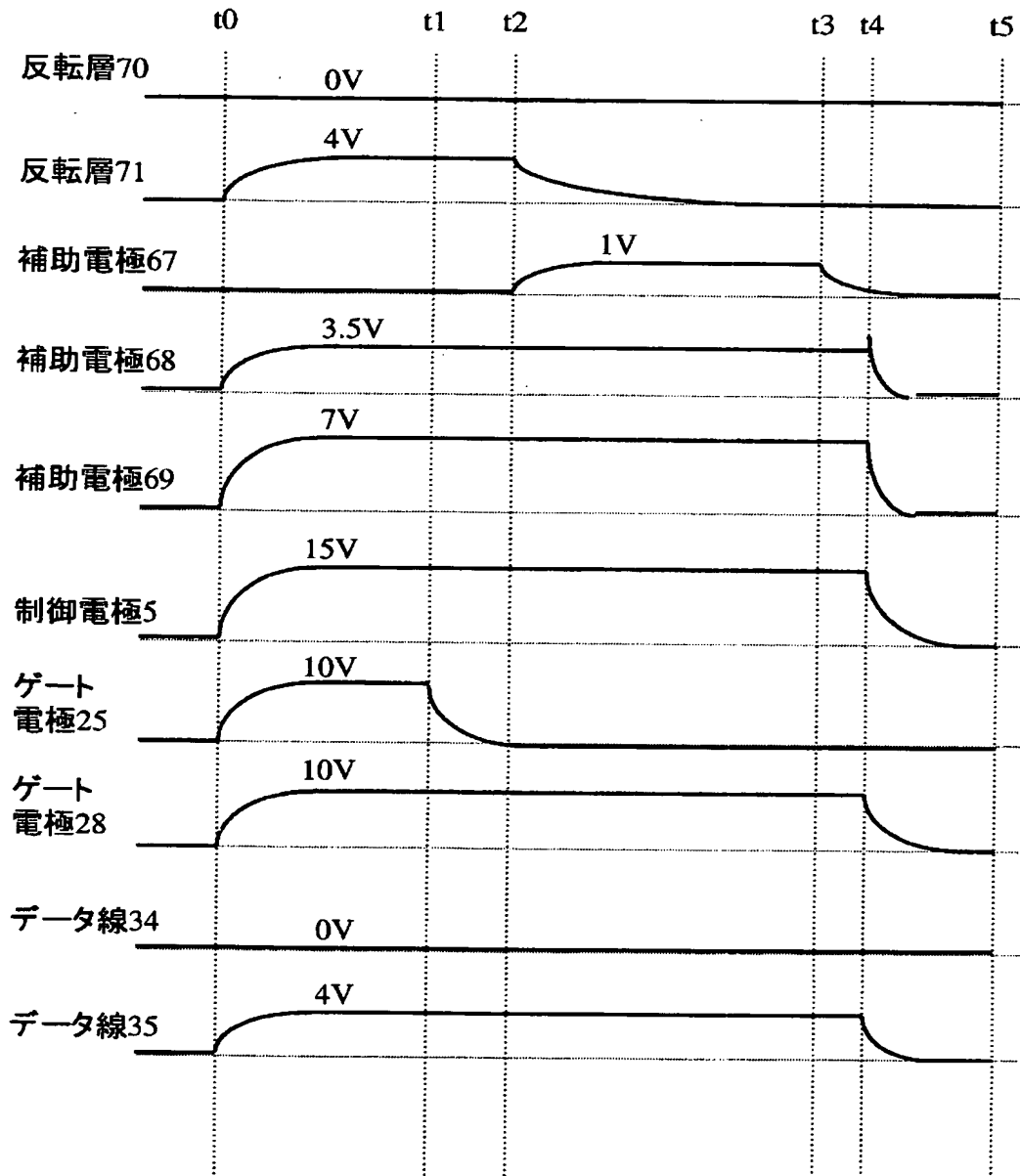
【図 1 9】

図19



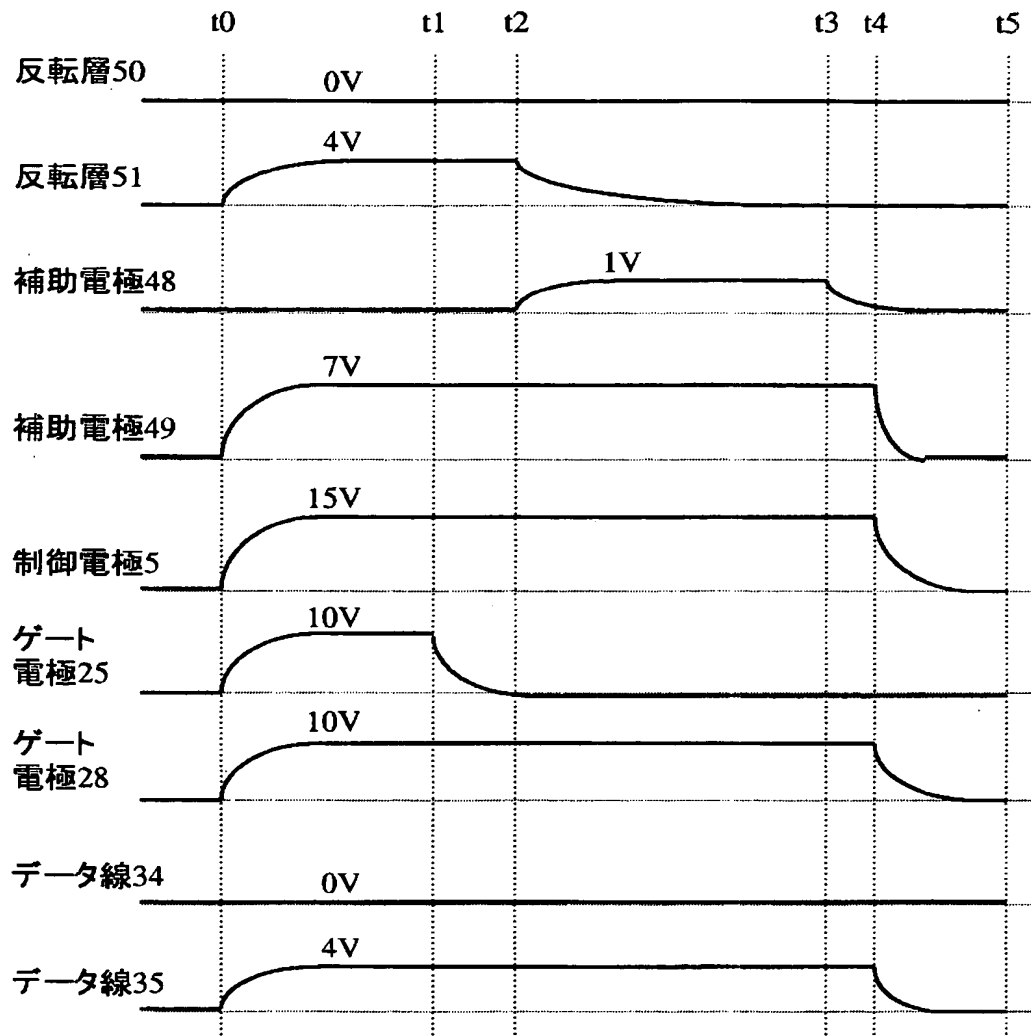
【図 20】

図20



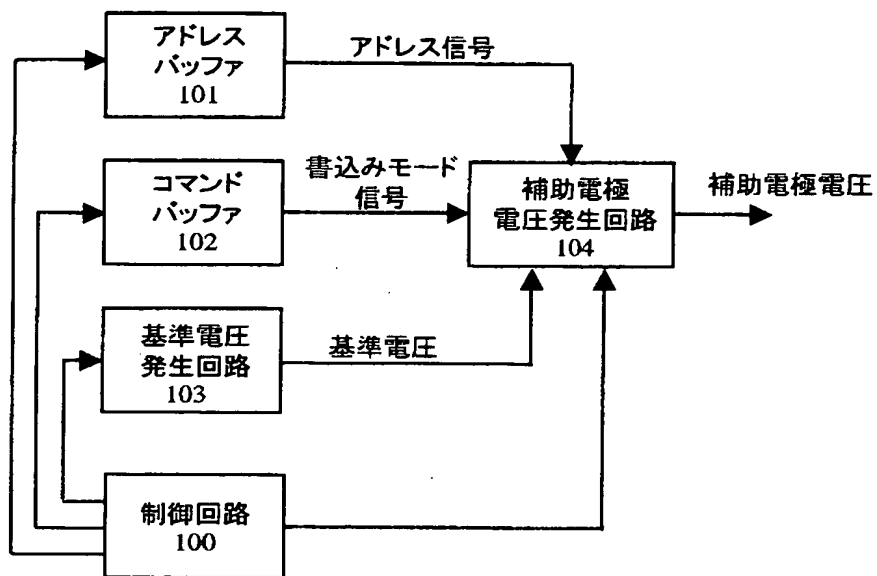
【図 2 1】

図21



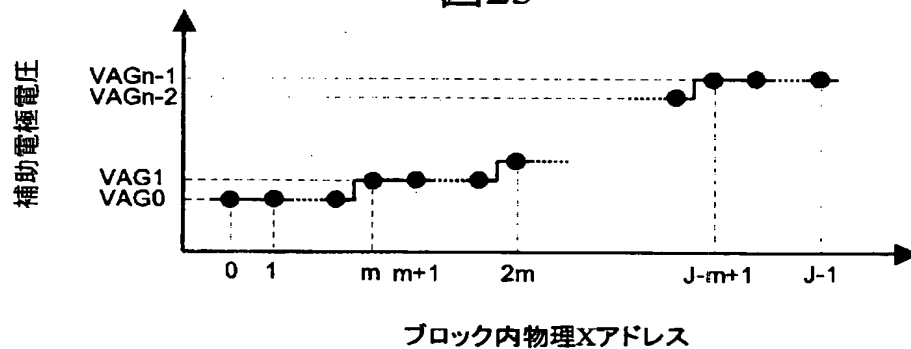
【図 2 2】

図22



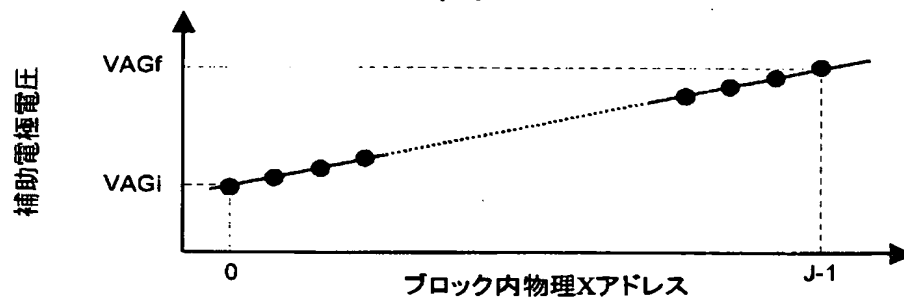
【図 2 3】

図23



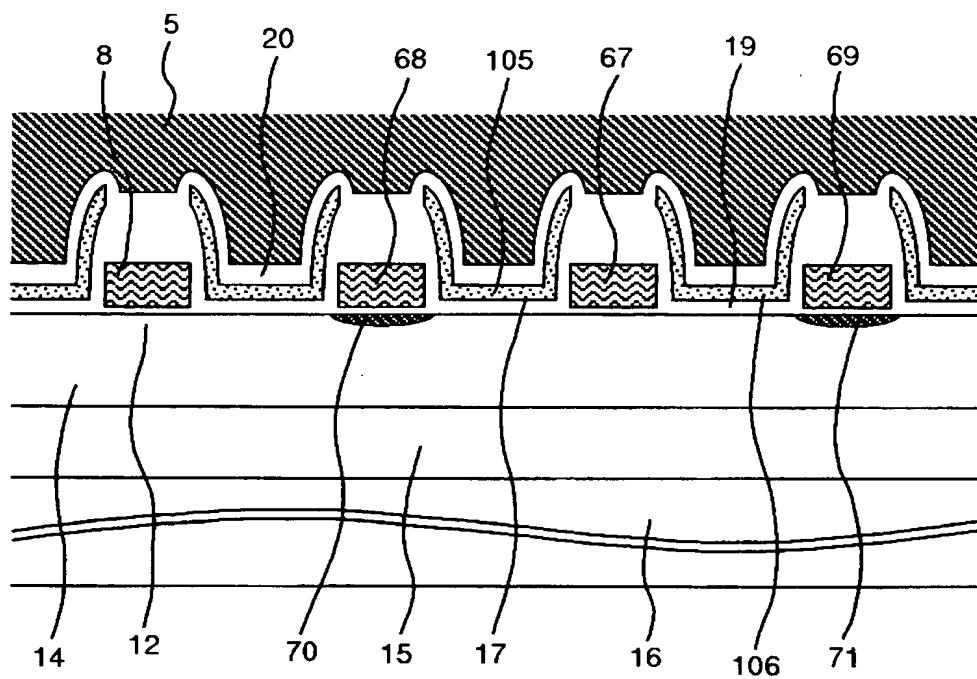
【図 2 4】

図24



【図 25】

図 25



【書類名】 要約書**【要約】****【課題】**

フラッシュメモリは急速に低価格化が進み、小さく形成出来、しかも多値記憶に適したメモリ方式が求められている。多レベル閾値による多値記憶に適したAND型は、反転層を配線に用いると面積が小さくできるが、セル間の書込み特性ばらつきが大きくなる。またさらなる多値化を推し進める上で有望な記憶場所を変えて多値化を図る方法では読出し動作時のディスタースが問題になる。

【解決手段】

互いに並行に形成された、ソース領域、ドレイン領域に対し、ソース、ドレイン領域の間にこれと並行でかつオーバーラップのない位置に補助電極構造を有し、書込みには補助電極をソース側注入ホットエレクトロンの補助電極として用い、読出し時には補助電極下に形成した反転層をソース、あるいはドレイン領域として用いることにより、セル間の書込み特性ばらつきが低減された半導体記憶装置を実現する方法を提供する。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-315968

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【提出物件の目録】

【包括委任状番号】 0308735

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 3 2 1 7 5 6 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 1 5 9 6 8
受付番号	5 0 3 0 1 2 4 9 8 3 4
書類名	出願人名義変更届（一般承継）
担当官	関 浩次 7 4 7 5
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 29 日

特願 2 0 0 2 - 3 1 5 9 6 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 1 5 9 6 8

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ